

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000152082 A**(43) Date of publication of application: **30.05.00**

(51) Int. Cl.

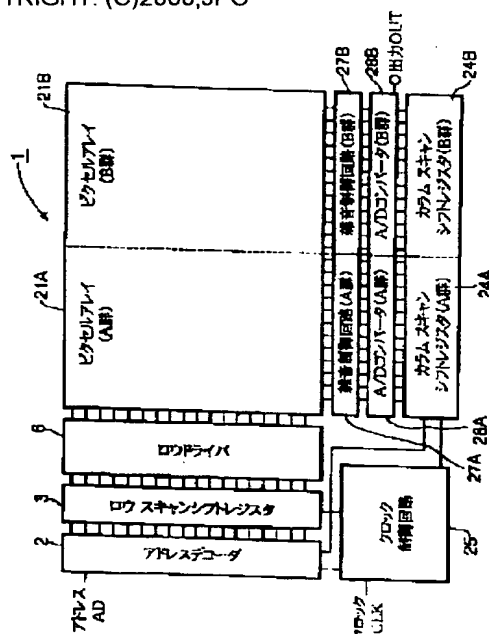
H04N 5/335
// H01L 27/146
(21) Application number: **10325680**(71) Applicant: **NEC CORP**(22) Date of filing: **16.11.98**(72) Inventor: **MURAMATSU YOSHITOKU**(54) **IMAGE SENSOR**

COPYRIGHT: (C)2000,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide an image sensor which can read out frame information at a high speed and can use a low-speed and small-area A/D converter in the case of the same read time as conventional one.

SOLUTION: An address decoder 2 controls a row scan shift register 3 based on an address AD and causes a row driver 6 to activate a row to read out the signal of the row to noise control circuits 27A and 27B. An A/D converter 28A converts the signal stored in the noise control circuit 27A to a digital signal and successively sends it to an output OUT under the control of a column scan shift register 24A, and an A/D converter 28B converts the signal stored in the noise control circuit 27B to a digital signal. Thereafter, the A/D converter 28B successively outputs the digital signal under the control of a column scan shift register 24B after read of the signal of the row signal to noise control circuits 27A and 27B, and the A/D converter 28A converts the signal of the next row to a digital signal.



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2000-152082

(P 2000-152082A)

(43) 公開日 平成12年5月30日 (2000.5.30)

(51) Int. Cl. 7	識別記号	F I	テ-マコ-ト (参考)
H 0 4 N	5/335	H 0 4 N	5/335 E 4M118
// H 0 1 L	27/146	H 0 1 L	27/14 A 5C024

審査請求 有 請求項の数 5 O L (全 12 頁)

(21) 出願番号 特願平10-325680

(22) 出願日 平成10年11月16日 (1998.11.16)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 村松 良徳

東京都港区芝五丁目7番1号

日本電気株式

会社内

(74) 代理人 100108578

弁理士 高橋 詔男 (外3名)

F タ-ム (参考) 4M118 AA10 AB01 BA14 CA02 DD09

DD12 FA06

5C024 AA01 CA16 FA01 FA11 GA01

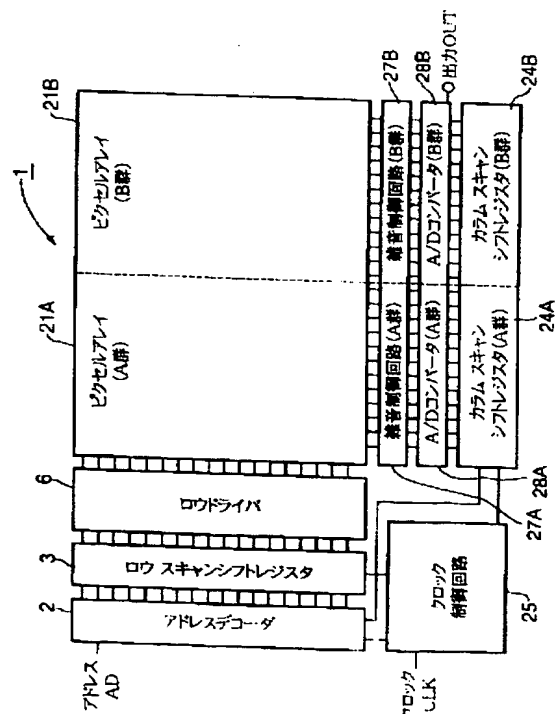
GA31 HA14 HA23 JA09 JA10

(54) 【発明の名称】 イメージセンサ

(57) 【要約】

【課題】 フレーム情報を高速に読み出せ、従来と読出時間を同一とした場合に低速で小面積のA/Dコンバータを使用できるイメージセンサを提供する。

【解決手段】 アドレスデコーダ2はアドレスADを基にロウスキャンシフトレジスタ3を制御して、ロウドライバ6に特定のロウを活性化させ、当該ロウの信号を雑音制御回路27A、27Bに読み出す。A/Dコンバータ28Aは雑音制御回路27Aの蓄える信号をデジタル信号に変換した後、カラムスキャンシフトレジスタ24Aの制御下で出力OUTに順次送出し、同時にA/Dコンバータ28Bは雑音制御回路27Bの蓄える信号をデジタル信号に変換する。この後、次のロウの信号を雑音制御回路27A、27Bに読み出したのち、A/Dコンバータ28Bはカラムスキャンシフトレジスタ24Bの制御下でデジタル信号を順次出力し、同時にA/Dコンバータ28Aは次のロウの信号をデジタル信号に変換する。



【特許請求の範囲】

【請求項1】 受光した光の強度を表すアナログデータをピクセル毎に記憶するピクセルアレイと、任意に選択されたロウ上のアナログデータを前記ピクセルアレイから読み出す読出手段と、該読み出されたアナログデータの各々をデジタルデータに変換する変換手段と、該デジタルデータを同時に取り込んで順次出力する出力手段とを有するイメージセンサにおいて、

前記ピクセルアレイを所定のカラム単位で複数のグループに分割するとともに、前記変換手段及び前記出力手段を前記グループ毎に設け、

前記変換手段が行う変換処理と前記出力手段が行う出力処理を前記グループ間で並行動作させる制御手段を具備することを特徴とするイメージセンサ。

【請求項2】 受光した光の強度を表すアナログデータをピクセル毎に記憶するピクセルアレイと、任意に選択されたカラム上のアナログデータを前記ピクセルアレイから読み出す読出手段と、該読み出されたアナログデータの各々をデジタルデータに変換する変換手段と、該デジタルデータを同時に取り込んで順次出力する出力手段とを有するイメージセンサにおいて、

前記ピクセルアレイを所定のロウ単位で複数のグループに分割するとともに、前記変換手段及び前記出力手段を前記グループ毎に設け、

前記変換手段が行う変換処理と前記出力手段が行う出力処理を前記グループ間で並行動作させる制御手段を具備することを特徴とするイメージセンサ。

【請求項3】 前記制御手段は、前記各グループについて前記変換処理と前記出力処理を順次行わせながら、あるグループの変換処理と他のグループの出力処理とを同時にに行わせることを特徴とする請求項1または2記載のイメージセンサ。

【請求項4】 前記変換手段が前記アナログデータを全てデジタルデータに変換するのに要する時間は、前記出力手段が同時に取り込まれた全てのデジタルデータを出力するのに要する時間の範囲内であることを特徴とする請求項1～3の何れかの項記載のイメージセンサ。

【請求項5】 受光した光の強度を表すアナログデータがピクセル毎に記憶されたピクセルアレイから読み出した前記アナログデータをデジタルデータに変換して順次出力するイメージセンサにおいて、

前記ピクセルアレイを所定のロウ単位もしくはカラム単位で複数のグループに分割し、これら各グループ内で逐次的に行われる複数の処理のうち、異なる種類の処理を前記グループ間で互いに並行して処理するようにしたことを特徴とするイメージセンサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デジタルカメラなどの携帯機器において撮像素子として用いられるイメー

ジセンサに関するものである。

【0002】

【従来の技術】MOS（金属酸化膜半導体）型イメージセンサ（以下、単に「イメージセンサ」という）は、CCD（電荷結合素子）のように多相のクロックを使用してバケツリレー式で電荷を転送してゆく構造ではないため、その消費電力をCCDの1/10程度にまで抑えることができ、デジタルカメラといった携帯用途の機器に適した撮像素子として注目されている。このほかにも、

10 イメージセンサは単一電源で動作すること、CMOS（相補型MOS）ロジックプロセスとの互換性があること、周辺回路を1チップ化してSOC（System On Chip）を実現できるなどの様々な特徴を有している。その一方で、イメージセンサにはノイズの問題や受光部の感度が低いなどといった欠点もある。しかしながら、最近ではノイズキャンセル方式の開発や微細トランジスタによるピクセル内増幅が実現されたことで、上述した欠点も解消されつつある。これに加えて、SOC化に対するニーズの高まりやCCD市場が一部の企業によって独占されているなどの諸般の事情もあいまって、CCDを置き換えるものとしてイメージセンサがますます注目を集めてきている。

20 【0003】さて、図10は従来から用いられているMOS型イメージセンサの構成例を示している。図中、ピクセルアレイ1は撮像画面の1フレームに対応するものであって、DRAM（Dynamic Random Access Memory）等の一般的なメモリと同様に多数のピクセルがマトリクス状に配置されて構成されている。ピクセルアレイ1上の各ピクセルは、受光した光に光電変換を行ってその光強度に応じた電圧を持ったアナログ信号を出力する。アドレスADはピクセルアレイ1上の何れかのピクセルを指定するためのものであって、ピクセルアレイ1のロウ方向のワード線を指定するためのロウアドレスと、カラム方向のビット線を指定するためのカラムアドレスから成る。なお、各ワード線は撮像画面上における1本の水平線（1H）信号に対応することになる。

30 【0004】アドレスデコーダ2は、イメージセンサの外部から供給されるアドレスADに基づき、ロウスキャンシフトレジスタ3およびカラムスキャンシフトレジスタ4に対して何れかのロウおよびカラムをそれぞれ選択するためのパルスを出力する。ロウスキャンシフトレジスタ3は、アドレスデコーダ2から供給されるパルスを取り込み、これをクロック制御回路5から送られるクロック信号に従ってシフトさせながらロウドライバ6に供給して、ピクセルアレイ1上の何れかのロウを選択する。同様にして、カラムスキャンシフトレジスタ4は、アドレスデコーダ2から供給されるパルスを取り込み、これをクロック制御回路5から送られるクロック信号に従ってシフトさせながら後述するA/D（アナログ/デジタル）コンバータ8に供給する。それによって、A/D

Dコンバータ8が生成するアナログ信号の中から何れかのアナログ信号を当該A/Dコンバータ8に選択させる。

【0005】クロック制御回路5は、イメージセンサの外部から供給されるクロックCLKに従って、アドレスデコーダ2、ロウスキャンシフトレジスタ3、カラムスキャンシフトレジスタ4の各部に供給すべきクロック信号を生成する。ロウドライバ6は、ピクセルアレイ1上の複数本のロウのうち、ロウスキャンシフトレジスタ3で選択された何れか1本のロウを駆動する。雑音制御回路7は、ロウドライバ6の駆動するロウから読み出された複数本のアナログ信号に対してそれぞれノイズキャンセル処理を施し、これら処理されたアナログ信号をA/Dコンバータ8に出力する。A/Dコンバータ8は、雑音制御回路7から出力される1ロウ分のアナログ信号をそれぞれデジタル信号に変換し、カラムスキャンシフトレジスタ4で選択されるカラムに対応したデジタル信号を出力OUTに送出し、それによって例えば図示しないコンピュータの主記憶装置上にこれらデジタル信号を転送する。なお、アナログ信号を変換して得られるデジタル信号は例えば8ビット長（即ち、256階調）のデータになっている。また、図10において、ピクセルアレイ1及び雑音制御回路7がアナログ部になっており、これら2つ以外の各部がデジタル部になっている。

【0006】一方、図11は図10に示したイメージセンサの動作を説明するのに都合が良いように、ピクセルアレイ1の具体的な構成を簡略化して図示するとともに、A/Dコンバータ8についてその構成をより詳細に示したものである。このほか、図11では図10に示していた雑音制御回路7の図示を省略してある。なお、図11では図10に示したものと同一構成要素については同一の符号を付してある。また、図11ではロウ方向のワード線としてWL0、WL1の2本のみを示してあり、また、カラム方向のビット線としてBL0、BL1の2本だけを示してある。

【0007】図11に示した通り、ピクセルアレイ1の構成単位たる単位ピクセルは、光に光電変換を行って電圧信号を出力するフォトダイオードとこのフォトダイオードが出力する電圧信号を増幅する増幅回路の組で構成されている。例えばビット線BL0とワード線WL0で選択される単位ピクセルは増幅回路10-00とフォトダイオード11-00から成る。同様にして、増幅回路10-01、10-10、10-11とフォトダイオード11-01、11-10、11-11がそれぞれ組になって単位ピクセルを構成している。なお以下の説明では、増幅回路10-00、10-10、10-01、10-11がそれぞれ出力するアナログ信号の電圧値が図示したようにそれぞれ“D0”、“D1”、“D2”、“D3”であるものとする。

【0008】次に、ADC（A/D変換器）12-0、12-1はそれぞれビット線BL0、BL1から読み出され

るアナログ信号を例えば8ビット長のデジタル信号に変換する。また、ラッチ13-0～13-1は、クロック制御回路5から出力される図示しない取込指示信号のタイミングチャートでこれらADCから出力されるデジタル信号を取り込む。さらに、トランスファスイッチ14-0はカラムスキャンシフトレジスタ4から送出される切換信号YSW0のタイミングでラッチ13-0が保持しているデジタル信号をバッファ15から出力OUTへ送出する。同様にして、トランスファスイッチ14-1はカラムスキャンシフトレジスタ4から送出される切換信号YSW1のタイミングでラッチ13-1の保持内容を出力OUTへ送出する。なお、図10のA/Dコンバータ8は、図11に示すADC12-0、12-1、ラッチ13-0、13-1、トランスファスイッチ14-0、14-1、バッファ15で構成される。

【0009】以下、図11に示したイメージセンサの構成について、その動作を図12に示すタイミングチャートに沿って説明する。まず、ピクセルアレイ1上の任意の単位ピクセルに付与されているアドレスをアドレスADに指定すると、アドレスデコーダ2及びロウスキャンシフトレジスタ3は指定されたアドレスに対応した特定のロウを選択する。いま、選択されたロウに対応したワード線がワード線WL0であるものとする、ロウドライバ6は時刻t1から時刻t2にわたってワード線WL0を活性化させる。これによって、当該ワード線WL0に接続された増幅回路10-00、10-10からはアナログ信号D0、D1がそれぞれ図10に示した雑音制御回路7へ同時に読み出されてADC12-0、12-1に出力される（図11中の「①」、図12中の最初の「R」）。そして時刻t2になると、ADC12-0、12-1は互いに並行してアナログ信号D0、D1をデジタル信号へ変換し、ラッチ13-0、13-1がA/D変換で得られたデジタル信号をそれぞれラッチする（以上、図11中の「②」、図12中の最初の「ADC」）。

【0010】次に、時刻t3でカラムスキャンシフトレジスタ4が切換信号YSW0をハイレベルにすると、トランスファスイッチ14-0はラッチ13-0が保持しているデジタル信号（即ち、アナログ信号D0に対応するデジタル値）を出力OUTに送出する（図11中の「③」、図12中の最初の「OUT」）。次いで、時刻t4でカラムスキャンシフトレジスタ4が切換信号YSW0をローレベルに戻すとともに切換信号YSW1をハイレベルにすると、トランスファスイッチ14-1はラッチ13-1が保持しているデジタル信号（即ち、アナログ信号D1に対応するデジタル値）を出力OUTに送出する（図11中の「④」、図12中の2番目の「OUT」）。以上のように、ワード線WL0から読み出された全てのアナログ信号が同時並行的にデジタル信号へ変換されてラッチされたのちに、各デジタル信号が出力OUTから順に出力されてゆく。

【0011】その後の時刻 t_5 になると、カラムスキャンシフトレジスタ4は切換信号 $YSW1$ をローレベルに戻し、同時にロウドライバ6は時刻 t_5 から時刻 t_6 にわたってワード線 $WL1$ を活性化させる。これによって以後はワード線 $WL0$ を活性化させたときに準じた動作がなされる。すなわち、時刻 t_5 になると増幅回路10-01, 10-11からはそれぞれアナログ信号 $D2$, $D3$ が同時に読み出される(図11中の「⑤」、図12中の2番目の「R」)。次に、時刻 t_6 になると、ADC12-0, 12-1は並行してアナログ信号 $D2$, $D3$ をデジタル信号に変換してラッチ13-0, 13-1がこれら変換結果をそれぞれラッチする(以上、図11中の「⑥」、図12中の2番目の「ADC」)。次に、時刻 t_7 で切換信号 $YSW0$ がハイレベルになると、トランスファスイッチ14-0はラッチ13-0が保持しているデジタル信号を出力OUTに送出する(図11中の「⑦」、図12中の3番目の「OUT」)。次いで、時刻 t_8 になって切換信号 $YSW1$ がハイレベルになると、トランスファスイッチ14-1はラッチ13-1が保持しているデジタル信号を出力OUTに送出する(図11中の「⑧」、図12中の4番目の「OUT」)。

【0012】以上のように、ビット線(カラム)単位でA/D変換動作を行う従来のイメージセンサでは、ピクセルアレイ1からアナログ信号を読み出すためのブランク期間(掃線期間)に相当する期間、1水平信号線分のアナログ信号に対してA/D変換を行うための期間、このA/D変換によって得られた1水平信号線分のデジタル信号を順に出力してゆくための期間が繰り返し現れることになる。ちなみに、実際のイメージセンサでは、ピクセルアレイ1が例えば1024ピクセル×768ピクセルである場合に、768本のワード線の各々についてそれぞれ1024個のデジタル信号が出力OUTから順次出力されることになる。

【0013】

【発明が解決しようとする課題】ところで、近年、イメージセンサが適用される機器の動作速度がますます高くなってきており、それに付随して、イメージセンサから撮像画面のフレーム情報をいっそう高速に読み出す必要が生じてきている。こうした高速化の要請に応えるためには、A/Dコンバータ8やカラムスキャンシフトレジスタ4の動作をもっと高速化することが効果的であると考えられる。しかしながら、例えばA/Dコンバータは変換速度の遅いものほど回路構成が単純になることが知られており、変換速度の高速なA/Dコンバータを使用するとどうしても面積が大きくなってしまい、ピクセルアレイに必要なイメージ領域が圧迫されて大容量化に支障を来すことにもなる。このように、イメージセンサに適用すべきA/Dコンバータとしては、イメージセンサ全体の高速化を実現しながら、できる限り変換速度の遅いものを使用することが望ましい。

【0014】一方、イメージセンサの撮像領域をなるべく広くとりながら、チップ面積をできる限り小さく抑えるためには、ピクセルアレイ1以外の周辺回路が占有する面積を減らす必要がある。かかる目的を達成するには、例えばA/Dコンバータのための領域を削減することが有効であると考えられる。しかし、そうするためにはA/Dコンバータを小規模な回路で構成する必要がある、それにより変換時間が遅くなってイメージセンサからのフレーム情報の読みだし時間にまで影響を与えてしまう。すなわち、従来のイメージセンサにおける処理時間を試算すると、通常、読み出し期間(図12中の「R」)は数 μ 秒程度、A/D変換期間(図12中の「ADC」)は数 μ 秒～数十 μ 秒である。また、デジタル信号の出力期間(図12中の「OUT」)は各ワード線のカラム数を“ n ”とすると数十ナノ秒× n であって、撮像画面上における水平方向のピクセル数を考慮すると、出力動作に要する時間はA/D変換期間と同程度の数 μ 秒～数十 μ 秒となる。このように、フレーム情報の読みだし時間全体に占める割合はA/D変換時間と出力時間が支配的であり、上述したような小規模ではあるが低速なA/Dコンバータを用いると、A/D変換にかかる時間が無視できないものになってしまう。

【0015】以上のように、カラム(ビット線)単位でA/D変換を行うイメージセンサにおいて、全体の読み出し時間の高速化とピクセルアレイの大容量化という2つの要求にバランス良く応えてゆくには、A/D変換処理と出力処理の間のタイミングを如何に調整して、これらの処理に要する時間を短縮してゆくかが重要な課題になると言える。本発明は上記の点に鑑みてなされたものであり、その目的は、A/D変換に要する時間を短縮することで撮像画面のフレーム情報を従来よりも高速に読み出すことができ、また、フレーム情報の読み出し時間を従来と同一にした場合には、より低速で面積の小さなA/Dコンバータを用いてピクセルアレイの大容量化を図れるイメージセンサを提供することにある。

【0016】

【課題を解決するための手段】以上の課題を解決するために、請求項1記載の発明は、受光した光の強度を表すアナログデータをピクセル毎に記憶するピクセルアレイと、任意に選択されたロウ上のアナログデータを前記ピクセルアレイから読み出す読出手段と、該読み出されたアナログデータの各々をデジタルデータに変換する変換手段と、該デジタルデータを同時に取り込んで順次出力する出力手段とを有するイメージセンサにおいて、前記ピクセルアレイを所定のカラム単位で複数のグループに分割するとともに、前記変換手段及び前記出力手段を前記グループ毎に設け、前記変換手段が行う変換処理と前記出力手段が行う出力処理を前記グループ間で並行動作させる制御手段を具備することを特徴としている。また、請求項2記載の発明は、受光した光の強度を表すア

ナログデータをピクセル毎に記憶するピクセルアレイと、任意に選択されたカラム上のアナログデータを前記ピクセルアレイから読み出す読出手段と、該読み出されたアナログデータの各々をデジタルデータに変換する変換手段と、該デジタルデータを同時に取り込んで順次出力する出力手段とを有するイメージセンサにおいて、前記ピクセルアレイを所定のロウ単位で複数のグループに分割するとともに、前記変換手段及び前記出力手段を前記グループ毎に設け、前記変換手段が行う変換処理と前記出力手段が行う出力処理を前記グループ間で並行動作させる制御手段を具備することを特徴としている。また、請求項3記載の発明は、請求項1または2記載の発明において、前記制御手段は、前記各グループについて前記変換処理と前記出力処理を順次行わせながら、あるグループの変換処理と他のグループの出力処理とを同時に行わせることを特徴としている。また、請求項4記載の発明は、請求項1～3の何れかの項記載の発明において、前記変換手段が前記アナログデータを全てデジタルデータに変換するのに要する時間は、前記出力手段が同時に取り込まれた全てのデジタルデータを出力するのに要する時間の範囲内であることを特徴としている。また、請求項5記載の発明は、受光した光の強度を表すアナログデータがピクセル毎に記憶されたピクセルアレイから読み出した前記アナログデータをデジタルデータに変換して順次出力するイメージセンサにおいて、前記ピクセルアレイを所定のロウ単位もしくはカラム単位で複数のグループに分割し、これら各グループ内で逐次的に行われる複数の処理のうち、異なる種類の処理を前記グループ間で互いに並行して処理するようにしたことを特徴としている。

【0017】

【発明の実施の形態】以下、図面を参照して本発明の一実施形態について説明する。図1は、本実施形態によるイメージセンサの構成を示すブロック図であり、図中、図10に示したものと同一構成要素については同一の符号を付してある。本実施形態では、ピクセルアレイ、雑音制御回路、A/Dコンバータ、カラムシフトスキャンレジスタがそれぞれA群、B群の2つのグループに分割されており、この点で従来技術の構成と大きく異なっている。すなわち、ピクセルアレイ21A、雑音制御回路27A、A/Dコンバータ28A、カラムシフトスキャンレジスタ24AがA群を構成し、ピクセルアレイ21B、雑音制御回路27B、A/Dコンバータ28B、カラムシフトスキャンレジスタ24BがB群を構成している。このほか、クロック制御回路25は、その基本的な構成および機能に関しては図10に示したクロック制御回路5と同様ではあるが、イメージセンサ内の各部へ供給するクロック信号の制御タイミングが従来技術のクロック制御回路5とは異なっている。

【0018】ここでその概要を説明しておく、上述し

たように、従来のイメージセンサでは、ピクセルアレイ1（図10参照）の各ロウについて、ピクセルアレイ1から当該ロウに関するアナログ信号を同時に読み出し、これらアナログ信号に対してA/D変換時間を行ったのち、これら変換によって得られたデジタル信号を順次出力してゆくという逐次的な動作になっていた。つまり、デジタル信号の出力期間中はA/Dコンバータが全く機能しておらず遊んでいる状態となっている。これに対して、本実施形態によるイメージセンサでは、ピクセルアレイを任意数のカラム単位に分割（以下の説明ではA群及びB群の2分割）するものとして、これらA群およびB群についてA/D変換動作と出力動作を同時並行的に行うようにしている。こうすることによって、A/Dコンバータの遊んでいる時間がなくなって、A/D変換動作に要する時間を見かけ上無くしてしまえる。

【0019】一方、図2は、図1と同様に、図1に示したイメージセンサの動作を説明するために都合が良いようにその構成を図示したものであって、図中、図1又は図11に示したものと同一構成要素については同一の符号を付してある。また、説明を簡潔にするために、図2では図1と同じく雑音制御回路27A、27Bの図示を省略しているほか、ワード線、ビット線は何れも2本だけ示してある。つまり、図2の場合はA群、B群のビット線がそれぞれ1本ずつということになる。また、本実施形態のADC22-0、22-1は、各A/D変換器に対して入力されるアナログ信号を非同期的にデジタル信号へ変換する構成にはなっておらず、クロック制御回路25が図示しない変換指示信号をこれらA/D変換器に与えたタイミングで変換動作を行う仕組みになっている。

【0020】ここで、イメージセンサを構成する各部の詳細な構成についてさらに説明しておく。まず、図3はピクセルアレイ1を構成する単位ピクセルの詳細を示したものであって、同図のものは3トランジスタ型のアクティブ方式を採用した例である。図中、フォトダイオード31は図2に示したフォトダイオード11-00などと全く同じ構成および機能を有している。また、符号BLはビット線、符号WLはワード線、符号VDDは電源電圧、符号32～34は何れもFET（電界効果トランジスタ）である。FET32は、フォトダイオード31から電圧値を読み出すにあたって、リセット信号RSTによってフォトダイオード31に蓄積されている電荷を空にするためのものである。また、FET33及びFET34はソースフォロウを構成しており、ワード線WLによってFET34がオンにすることで、フォトダイオード31の電荷をFET33のゲート端子で受けてドレインソース間電流 I_{ds} の電流値へ変換している。こうした構成によれば、フォトダイオード31に入射する光の強度に応じてドレインソース間電流 I_{ds} の電流値が変化することになる。

【0021】すなわち、FET33のゲート電圧 V_g は、フォトダイオード31の電荷および容量をそれぞれ

$$V_g = Q_s / (C_s + C_g)$$

そしてドレインソース間電流 I_{ds} は、FETの相互コンダクタンスを g_m 、ゲートソース間電圧を V_{gs} とす

$$I_{ds} = g_m \times V_{gs}$$

ここで、相互コンダクタンス g_m は界面での実効移動度を μ 、ゲート酸化膜の単位容量を C_{ox} 、ゲート幅を

$$g_m = \mu \times C_{ox} \times (W/L) \times (V_{gs} - V_t) \quad \dots (3)$$

以上のような構成とすることで、リセットノイズの影響を低減させられるほか、良好な S/N （信号対雑音）比が得られることになる。なお、図3では電流値の変化を検出することにしたが、当然ながら電圧値を検出する構成を採用しても全く問題ない。

【0022】次に、図4は雑音制御回路27A、27Bの構成例を或る1本のビット線について示したものである。図中、コンデンサ C_S 、 C_R はビット線 BL に出力されるアナログ信号の雑音成分、信号成分をそれぞれ蓄積するためのコンデンサである。また、FET41、42は、信号 SHS 、信号 SHR が与えられている期間中に、ビット線 BL からの雑音成分、信号成分を上記したコンデンサ C_S 、 C_R にそれぞれ蓄積させるためのものである。すなわち、信号 SHS によってコンデンサ C_S に予め雑音成分を蓄積させておき、その後、信号 SHR によってビット線 BL 上の信号をコンデンサ C_R へ取り込むようにする。また、FET43、44はトランスファスイッチであり、切替信号 YSW に従ってコンデンサ C_S 、 C_R の持つ電圧値をそれぞれバッファ45、46に伝達する。こうして、バッファ45、46からはそれぞれ雑音成分の電圧値 V_{ref} 、信号成分の電圧値 V_{sig} から成る差動信号が A/D コンバータ（図1参照）へ出力されることになる。したがって、 A/D コンバータ側でこれら両信号の差分をとれば雑音のキャンセルされた信号が得られる。以上のように、上述した雑音制御回路は信号と雑音との2回の読み出しを行い、それらを別々の容量に蓄積した後、雑音制御回路の外部で差分をとる構成になっているため、従来に比べて雑音を $1/10 \sim 1/100$ 程度にまで低減させることが可能となっている。

【0023】次に、ADC22-0、22-1の構成例について図5～図6を参照して説明する。なお、 A/D コンバータの実現方式としては様々なものが考案されていることから、ここではそれらの代表例として2つの方式だけを取り上げ、それらについて簡単に説明する。まず、図5は逐次比較型の A/D コンバータであって、制御回路51はコンパレータ52の比較結果に基づいて N ビット（ N ：自然数）の逐次比較レジスタ53へ設定する値を制御している。コンパレータ52は入力電圧 I_N と、 D/A コンバータ54が逐次比較レジスタ53のデジタル値をアナログ値に変換して得られる信号電圧とを比較

* Q_s 、 C_s とし、FET33のゲート容量を C_g とすると、次式（1）で算出されることになる。

$$\dots (1)$$

※ すると、次式（2）で算出されることになる。

$$\dots (2)$$

★ W 、ゲート長を L 、閾値電圧を V_t とすると、次式（3）で算出される。

$$\dots (3)$$

10 して、両者の大小関係を示した比較結果を制御回路51に出力する。制御回路51は逐次比較レジスタ53の上位ビットから下位ビットに向かってビット毎に比較を行ってゆき、得られた比較結果に応じて逐次比較レジスタ53の設定値を変えることによって、 N 回の比較で入力電圧 I_N のアナログ電圧値をデジタル値に変換する。

【0024】例えば N の値が“8”である場合、制御回路51はまず逐次比較レジスタ53のビット7だけを“1”に設定し、このデジタル値に対応するアナログ信号電圧値と入力電圧 I_N をコンパレータ52で比較する。得られた比較結果が“入力電圧 $I_N < D/A$ コンバータ54の出力電圧”を示していれば、制御回路51は逐次比較レジスタ53のビット7を“0”に変更し、さもなければ同ビットは“1”のままとする。これ以後は、ビット7に対するのと同様の手順でビット0に至るまでの各ビットについて、当該各ビットを最初は“1”に設定しておき、コンパレータ52から出力される比較結果に従い、ビット7の場合に準じて各ビットを適宜“0”に再設定してゆく。こうして、8ビット分の比較を行えば、逐次比較レジスタ53には入力電圧 I_N をデジタル値に変換した結果が得られている。なお、図5に示した A/D コンバータの変換速度は 1μ 秒～数百 μ 秒程度であって、次に説明する図6の A/D コンバータよりも変換速度は低速であるが、反面その回路規模を小さくすることが可能である。

【0025】一方、図6は並列比較方式の A/D コンバータであって、ここでは N ビットのデジタル値を得る場合を想定する。そうした場合、 $2^N - 1$ 個のコンパレータ $61_{-1} \sim 61_{-N-1}$ を配置し、基準電圧 V_{ref} と接地の間を同一抵抗値を持つ 2^N 個の抵抗 R で分圧する。コンパレータ $61_{-1} \sim 61_{-N-1}$ は入力電圧 I_N と各分圧点の電圧値を同時に比較してこれらの間の大小関係を比較結果としてそれぞれ出力する。そこで、エンコーダ62はコンパレータ $61_{-1} \sim 61_{-N-1}$ が出力する比較結果に基づいて入力電圧 I_N に対応したデジタル値を生成する。ここで、図6に示した A/D コンバータの変換速度は数百ナノ秒以下であって、図5に示した A/D コンバータと比べるとその変換速度は高速である。しかし、例えば8ビットの量子化を行う場合でさえ255個ものコンパレータが必要になるため、回路構成は複雑かつ大規模なものとなる。

【0026】次に、図7(a)はカラムスキャンシフトレジスタ24A、24Bの詳細な構成を例示したものである。例えばカラムスキャンシフトレジスタ24Aの場合は、A群に存在するビット線の本数と同数の遅延フリップフロップ（以下「FF」と略記する）が縦続接続されて構成される。なお、図7(a)ではn段目（n：自然数）～（n+3）段目までのFF71-n～FF71-n+3だけを示してある。さらに、図示を省略した初段のFFには入力DIが供給されるとともに、全てのFFのクロック端子CKには共通のクロックCLが供給される。

【0027】図7(b)は図7(a)に示したカラムスキャンシフトレジスタの動作を示している。まず、初段のFFのデータ入力端子Dに供給される入力DIが、時刻t11でクロックCLの立ち上がり同期して1クロック期間だけハイレベルとなる。そしてこれ以後、当該入力DIのデータがクロックCLに従って順次2段目以降のFFを伝搬してゆく。その後、時刻t13になるとクロックCLの立ち上がりタイミングでFF71-nは伝搬されてきたデータを取り込み、これを切替信号YSW_nとして1クロック期間だけハイレベルを出力する。以後同様に、時刻t14でFF71-n+1がFF71-nの出力するデータを取り込み、切替信号YSW_{n+1}として1クロック期間だけハイレベルを出力し、時刻t15ではFF71-n+2が切替信号YSW_{n+2}として1クロック期間だけハイレベルを出力する。以上のようにして、A群、B群のそれぞれについて切替信号YSWが順次ハイレベルとなってゆき、図2に示したように、各群に設けられているラッチの出力が当該ラッチに対応するトランスファスイッチを介して出力OUTへ順次出力されてゆく。

【0028】以下、上述した図2の構成によるイメージセンサの動作を図8に示すタイミングチャートに沿って説明する。まず、アドレスADでピクセルアレイ1上の特定の単位ピクセルに付与されたアドレスを指定すると、アドレスデコーダ2及びロウスキャンシフトレジスタ3によって、アドレスADで指定されたアドレスに対応するロウが選択される。いま、このロウに対応するワード線がワード線WL0であるとする、ロウドライバ6は時刻t21から時刻t22にかけてワード線WL0を活性化させる。これにより、当該ワード線WL0に接続されたA群の増幅回路10-00からはアナログ信号D0が図1に示した雑音制御回路27Aに読み出されて、ノイズのキャンセルされたアナログ信号がA群のADC22-0に出力される。このとき同時に、ワード線WL0に接続されたB群の増幅回路10-10からはアナログ信号D1が図1に示した雑音制御回路27Bに読み出されて、ノイズのキャンセルされたアナログ信号がB群のADC22-1に出力される（図1中の「①」、図8中の最初の「R」）。

【0029】次に、時刻t22になると、クロック制御

回路25は変換指示信号をA群のADC22-0に送出する。これによって、ADC22-0はアナログ信号D0をデジタル信号に変換して、A群のラッチ13-0が得られた変換結果をラッチする（図1中の「②」、図8中の最初の「ADC」）。次に、時刻t23でカラムスキャンシフトレジスタ24Aが切換信号YSW0をハイレベルにすると、トランスファスイッチ14-0はラッチ13-0が保持しているデジタル信号（即ち、アナログ信号D0に対応するデジタル値）を出力OUTに送出する（図1中の「③」、図8中の最初の「OUT」）。なお、実際のイメージセンサではA群、B群それぞれに多数本のビット線が存在するので、これら各ビット線から読み出されるアナログ信号に対応したデジタル値を順次出力してゆくことになる。また、この同じ時刻t23において、クロック制御回路25は変換指示信号をB群のADC22-1に送出する。これによって、ADC22-1はアナログ信号D1をデジタル信号に変換して、B群のラッチ13-1が得られた変換結果をラッチする（図1中の「③'」、図8中の2番目の「ADC」）。このように、時刻t23～時刻t24の期間中はA群における出力動作とB群におけるA/D変換動作が並行して行われることになる。

【0030】次に、時刻t24になると、カラムスキャンシフトレジスタ24Aが切換信号YSW0をローレベルに戻し、一方で、ロウドライバ6は時刻t24から時刻t25にわたって、ワード線WL0の次に選択されるワード線WL1を活性化させる。これによって、当該ワード線WL1に接続されたA群の増幅回路10-01からはアナログ信号D2が雑音制御回路27Aに読み出されてA群のADC22-0に出力される。また、このとき同時に、ワード線WL1に接続されたB群の増幅回路10-11からはアナログ信号D3が雑音制御回路27Bに読み出されてB群のADC22-1に出力される（図1中の「④」、図8中の2番目の「R」）。

【0031】次いで、時刻t25でカラムスキャンシフトレジスタ24Bが切換信号YSW1をハイレベルにすると、トランスファスイッチ14-1はラッチ13-1が保持しているデジタル信号（即ち、アナログ信号D1に対応するデジタル値）を出力OUTに送出する（図1中の「⑤」、図8中の2番目の「OUT」）。また、この同じ時刻t25において、クロック制御回路25は変換指示信号をA群のADC22-0に送出する。これによって、ADC22-0はアナログ信号D2をデジタル信号に変換して、A群のラッチ13-0が得られた変換結果をラッチする（図1中の「⑤'」、図8中の3番目の「ADC」）。このように、時刻t25～時刻t26の間中は、B群における出力動作とA群におけるA/D変換動作が並行して行われることになる。

【0032】この後は時刻t23～t26におけるのと同様の動作がなされる。まず、時刻t26で切換信

号Y SW1がローレベルに戻されるとともに切換信号Y SW0がハイレベルにされると、ラッチ13-0が保持しているデジタル信号（即ち、アナログ信号D2に対応するデジタル値）がトランスファスイッチ14-0を介して出力OUTに送出される（図1中の「⑥」、図8中の3番目の「OUT」）。また、同じ時刻t26でクロック制御回路25が変換指示信号をB群のADC22-1に送出すると、ADC22-1はアナログ信号D3をデジタル信号に変換して、その変換結果をB群のラッチ13-1がラッチする（図1中の「⑥'」、図8中の4番目の「ADC」）。このように、時刻t26～時刻t27においてもA群における出力動作とB群におけるA/D変換動作が並行して行われる。

【0033】次いで、時刻t27になると、カラムスイッチシフトレジスタ24Aが切換信号Y SW0をローレベルに戻す。その後、時刻t28で切換信号Y SW1がハイレベルにされると、ラッチ13-1の保持しているデジタル信号（即ち、アナログ信号D3に対応するデジタル値）がトランスファスイッチ14-1を介して出力OUTに送出される（図1中の「⑦」、図8中の4番目の「OUT」）。以上によって、ピクセルアレイ1に保持されている全てのアナログ信号がデジタル信号へ変換されて出力OUTから出力されたことになる。

【0034】以上のように本実施形態では、ピクセルアレイ1およびその周辺回路をA群、B群の2つに分割することで、これら各群が1回のA/D変換期間および出力期間で取り扱うデータ量を従来の半分にしている。そして、A群のA/D変換期間及びB群の出力期間、ならびに、B群のA/D変換期間及びA群の出力期間をそれぞれオーバーラップさせるように制御している。これによって、最初のA/D変換動作（即ち、図8の時刻t22～t23）を除いた全てのA/D変換動作が出力動作と同時並行的に行われる。したがって、出力動作に要する時間がA/D変換に要する時間よりも長ければ、2回目以降の全てのA/D変換期間を出力期間の陰に隠してしまうことが可能になる。

【0035】ここで、本実施形態における処理時間であるが、読み出し期間（図8中の「R」）については従来技術の場合と同じであって数 μ 秒となる。一方、A/D変換期間（図8中の「ADC」）も従来の場合と同じであって数 μ 秒～数十 μ 秒となる。なお、本実施形態ではA/D変換動作が全てのカラム（ビット線）について同時に行われるのではなく、A群、B群についてそれぞれ異なるA/D変換期間を設けている。こうしたことから、本実施形態では1つのワード線をA/D変換するのに要する時間は従来の2倍となるが、前述したように、最初のA/D変換期間以外は出力期間に隠れてしまうため、2回目以降のA/D変換に要する時間は実質的に“0”と見なせる。他方、デジタル信号の出力期間（図8中の「OUT」）については、A群、B群に分割して

出力動作を行っているため、1回の出力期間（例えば図8の時刻t23～t24）は従来の半分（すなわち、カラム数を“n”とすると1回の出力期間は数十 μ 秒 \times $n/2$ ）となる。もっとも、出力動作をA群、B群に分割して行っているため、実際にはワード線1本分のデジタル信号を出力するための時間は従来と同じである。

【0036】次に、図9を参照して、本実施形態の動作を従来技術の動作と対比させつつ、本発明の優位点について説明する。なお、この図9において「①」などの符号は図2又は図11に示した符号と同じものを指している。また、ラッチ13-0、13-1（図2又は図11を参照）がADC22-0、22-1からそれぞれ出力されるデジタル信号をラッチするのに要する時間はA/D変換期間や出力期間と比べた場合には無視できるため、以下の説明中ではこの時間をA/D変換時間に含めてしまっている。

【0037】さて、図9（a）は使用するA/Dコンバータの変換速度を従来技術と本実施形態とで同じにした場合についての動作タイミングを示している。まず、ワード線WL0に関するピクセルアレイ1からの読み出しに要する時間（何れも図中の「①」）は従来技術と本実施形態で変わりはない。また、上述したようにA/D変換速度が同一であることを想定しているため、従来技術におけるA/D変換処理時間と、本実施形態におけるA群のA/D変換処理時間も同じである（何れも図中の「②」）。一方、A/D変換動作に続く出力動作に関しては、従来技術ではn個のカラムに対する出力動作が一度に行われる（図中の「③④」）のに対し、本実施形態ではまずA群について出力動作が行われる（図中の「③'」）ため、本実施形態では従来技術の「③④」で示した時間の半分となる。また、このとき本実施形態ではB群についてのA/D変換動作が並行して行われることになる（図中の「③'」）。次に、ワード線WL1に関するピクセルアレイ1からの読み出し時間についても、従来技術と本実施形態では同じである（従来技術の「⑤」、本実施形態の「④'」）。

【0038】次いで、従来技術では「⑥～⑧」の期間において「②～④」の期間と同様のA/D変換動作および出力動作がワード線WL1について行われる。これに対して本実施形態では、まず、ワード線WL0に関するB群の出力動作（図中の「⑤'」）とワード線WL1に関するA群のA/D変換動作（図中の「⑤」）が同時に行われ、引き続いて、ワード線WL1に関するA群の出力動作（図中の「⑥」）とワード線WL1に関するB群のA/D変換動作（図中の「⑥'」）が同時に行われてから、ワード線WL1に関するB群の出力動作（図中の「⑦」）が行われる。こうして、本実施形態における処理時間は、従来技術の「⑥」で示したA/D変換時間だけ短い時間でピクセルアレイ1からの読み出し動作を完了させることができる。なお、厳密に言うならば、従来

技術の「⑥」で示した時間から図8の時刻 $t_{27} \sim t_{28}$ に相当する図9(a)の「#」の時間を減じた時間だけ、その処理時間を短縮することができる。以上の通り、本実施形態のイメージセンサは、同じ変換速度のA/Dコンバータを使用した場合、従来技術のイメージセンサに比べて高速読み出しが可能であるという優位点がある。

【0039】一方、図9(b)はピクセルアレイ1からの読み出し動作に要する時間を従来技術と本実施形態とで同じになるようにした場合の動作タイミングを示している。図9(a)についての説明から理解されるように、従来技術の「①」と本実施形態の「①」、従来技術の「③④」と本実施形態の「③」及び「⑤」の和、従来技術の「⑤」と本実施形態の「④」、従来技術の「⑦⑧」と本実施形態の「⑥」及び「⑦」の和は、互いに等しい時間になっている。つまり、従来技術の「②」及び本実施形態の「②」に要するそれぞれの時間を対比すれば明らかなように、本実施形態では従来技術の「⑥」に相当する時間を短縮できるため、当該時間に相当する分だけA/Dコンバータに要求される変換速度を低くすることができる。なお、厳密に言えば、従来技術の「⑥」で示した時間から「#」の時間を減じた時間だけ、A/Dコンバータの変換時間の許容範囲を伸ばすことができる。また、A/D変換期間「③'」、「⑤'」、「⑥'」の時間は、通常、これらに対応する出力期間「③」、「⑤」、「⑥」の時間よりも短いので、これら出力期間に合わせてA/Dコンバータの変換時間の能力を設定しておけば、最初のA/D変換期間以外については出力期間の背後に隠してしまうことができる。以上の通り、本実施形態のイメージセンサは、従来技術のイメージセンサと同じ時間内でピクセルアレイ1からの読み出し動作を完了させるのであれば、従来に比べてA/D変換を低速に行うことができ、A/Dコンバータを占有面積の小さな回路で構成可能になるという優位点がある。

【0040】なお、上述した実施形態のようにピクセルアレイは必ずしも2等分しなくとも良く、例えばA群とB群のカラム数が互いに異なっている構成も本発明の範囲内である。もっとも、A/D変換期間を出力期間の背後に隠してしまう場合には、出力期間の最も短い（換言すれば、カラム数ないしビット線の本数の最も小さい）群の出力時間によってA/Dコンバータの持つ変換速度の最大値が決定されるので、全ての群の出力時間を均等にするためには、各群のカラム数が同一であることが最も好ましい。また、上記実施形態では、A/D変換期間が必ず出力期間の範囲内となるようにA/Dコンバータの変換速度を決定することにしていた。しかしながら、A/D変換期間が出力期間よりも多少長くても、これら2つの期間がオーバーラップする部分に関してはA/D変換期間が見かけ上ゼロとなるため、こうした場合も本

発明の範囲内である。さらに、上記実施形態ではピクセルアレイをカラム単位で分割した例を示したが、ロウ単位で分割した場合でも全く同様な作用効果が得られることは言うまでもない。

【0041】

【発明の効果】以上説明したように、本発明では、ピクセルアレイを複数のグループに分割して、アナログデータからデジタルデータへの変換処理とデジタルデータの出力処理をグループ毎に行いつつ、変換処理および出力処理をグループ間で並行動作させている。そのため、変換処理が出力処理に重なる部分についてその処理時間を見かけ上なくすることができる。したがって、変換処理に要する時間が必ず出力処理に要する時間の範囲内となるようにすることで、イメージセンサの外部から見た場合に、最初のA/D変換期間を除く全てのA/D変換期間を完全に出力期間の背後へ隠してしまうことが可能となる。また、従来と同じ変換速度を持つA/Dコンバータを変換手段として使用する場合には、ピクセルアレイに記憶されているフレーム情報の読み出しに必要な時間が従来に比べて短くなり、フレーム情報の高速出力を実現することができる。さらに、ピクセルアレイに記憶されているフレーム情報の読み出し時間が従来と同じで良い場合は、出力処理に必要となる時間の範囲内でA/D変換可能なA/Dコンバータを使用すれば良くなり、従来に比して低速かつ面積の小さなA/Dコンバータが選択できるようになる。

【図面の簡単な説明】

【図1】 本発明の一実施形態によるイメージセンサの構成を示すブロック図である。

【図2】 図1に示すイメージセンサの構成をより詳細に示したブロック図である。

【図3】 同実施形態におけるピクセルアレイの構成単位である単位ピクセルの構成を示した回路図である。

【図4】 同実施形態における雑音制御回路の構成を示した回路図である。

【図5】 同実施形態におけるA/Dコンバータの第1の構成例である逐次比較方式のA/Dコンバータの構成を示したブロック図である。

【図6】 同実施形態におけるA/Dコンバータの第2の構成例である並列比較方式のA/Dコンバータの構成を示したブロック図である。

【図7】 同実施形態におけるカラムスキャンシフトレジスタに関する説明図であって、(a)は同レジスタの構成を示すブロック図、(b)は同レジスタの動作を示すタイミングチャートである。

【図8】 同実施形態によるイメージセンサの動作を示すタイミングチャートである。

【図9】 従来技術および本実施形態において行われる動作を対比させた図であって、(a)は従来技術と本実施形態で変換速度の同じA/Dコンバータを使用した場

合の動作タイミング、(b)はピクセルアレイからの読み出し動作に要する時間を従来技術と本実施形態とで同じになるようにした場合の動作タイミングである。

【図10】 従来技術によるイメージセンサの構成を示すブロック図である。

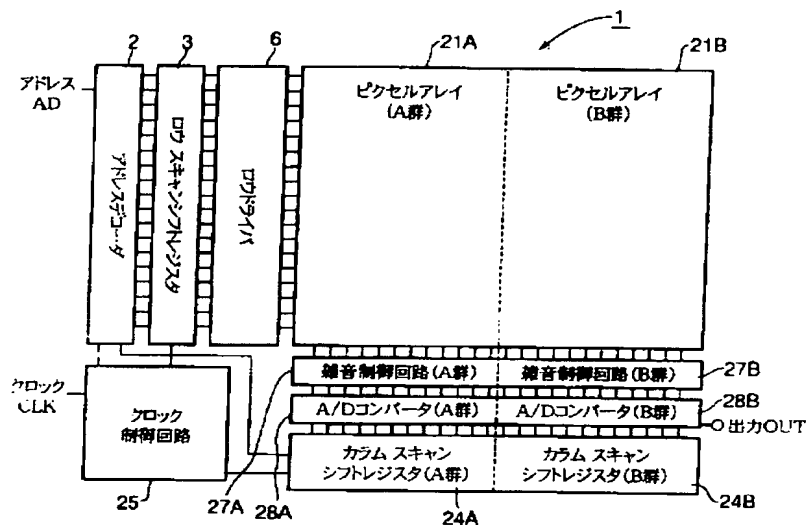
【図11】 図10に示すイメージセンサの構成をより詳細に示したブロック図である。

【図12】 従来技術によるイメージセンサの動作を示すタイミングチャートである。

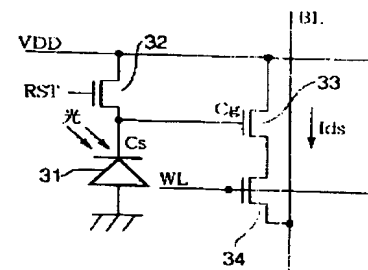
【符号の説明】

- 1, 21A, 21B ピクセルアレイ
- 2 アドレスデコーダ
- 3 ロウスキャンシフトレジスタ
- 6 ロウドライバ
- 24A, 24B カラムスキャンシフトレジスタ
- 25 クロック制御回路
- 27A, 27B 雑音制御回路
- 28A, 28B A/Dコンバータ

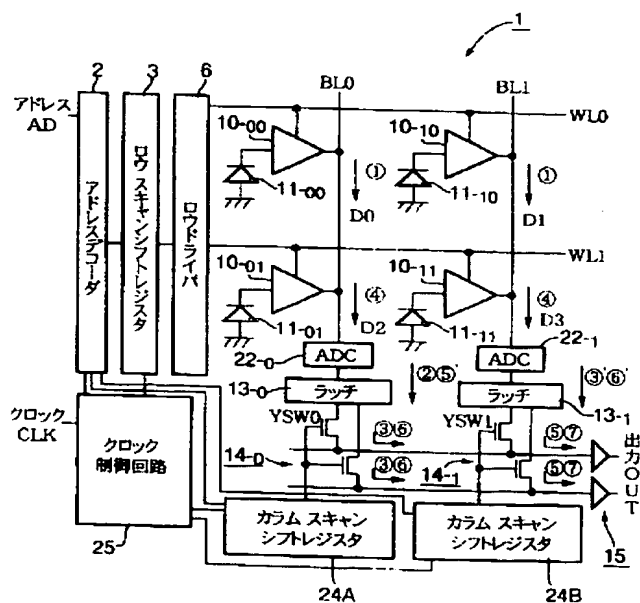
【図1】



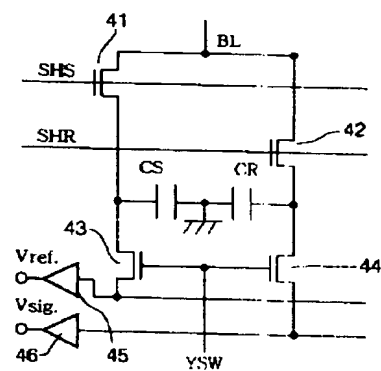
【図3】



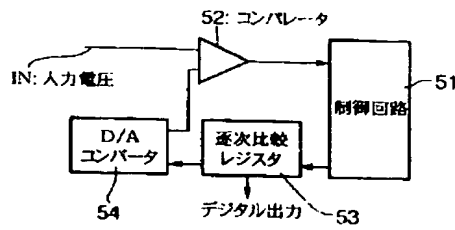
【図2】



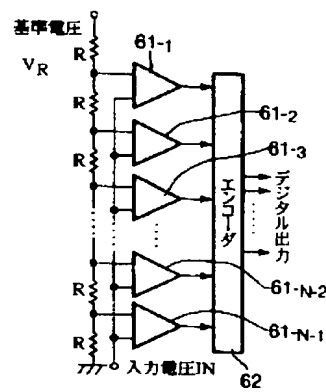
【図4】



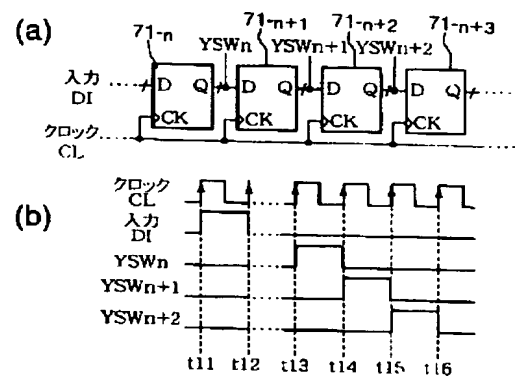
【図5】



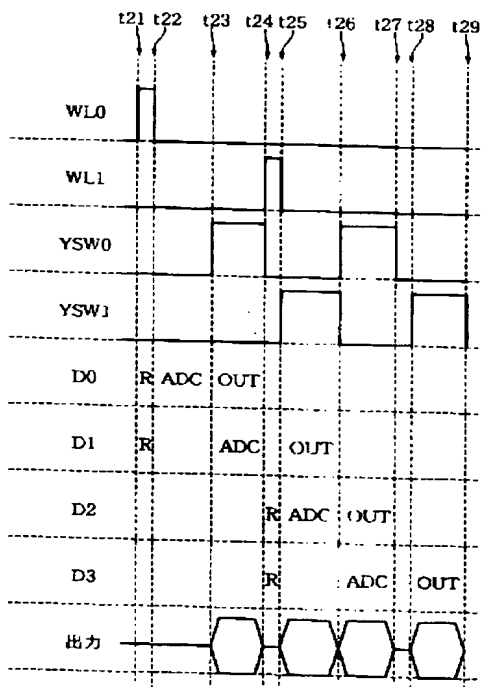
【図6】



【図7】

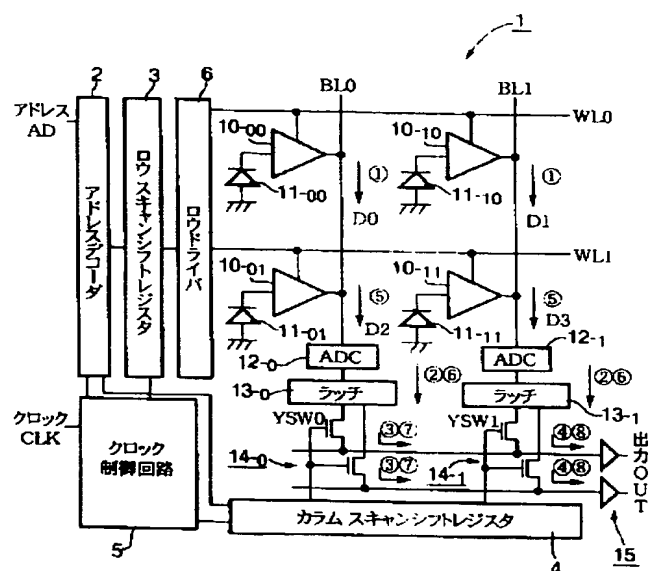


【図8】

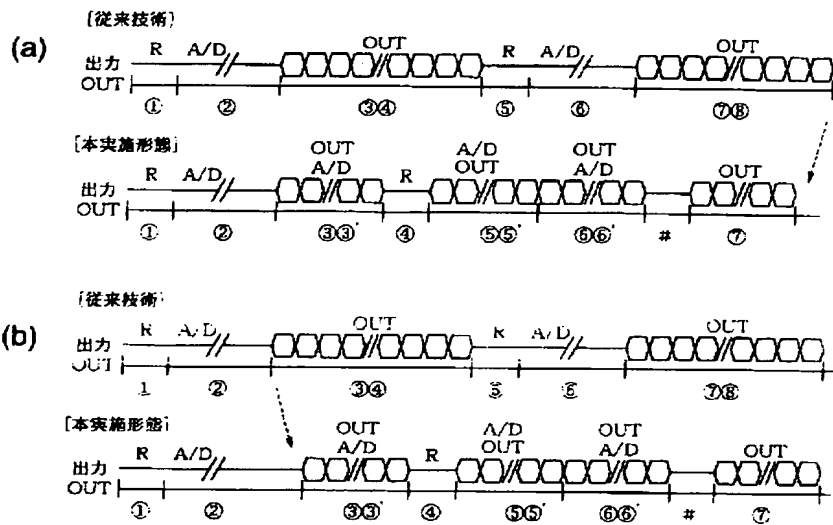


R:読み出し
ADC:A/D変換
OUT:出力

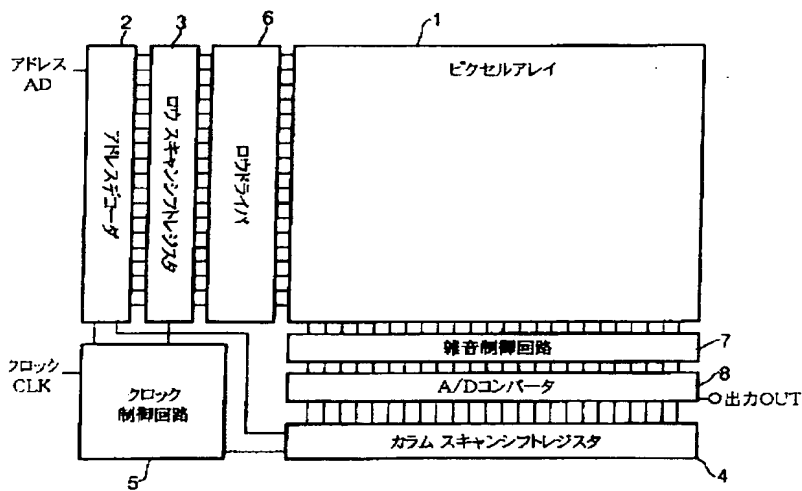
【図11】



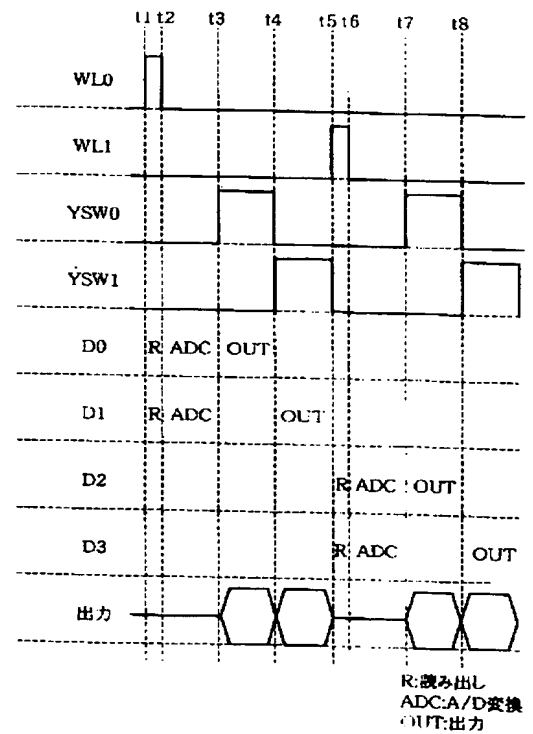
【図9】



【図10】



【図12】



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2000-184282

(P 2000-184282A)

(43) 公開日 平成12年6月30日(2000.6.30)

(51) Int. Cl. 7	識別記号	F I	テマコード(参考)
H 0 4 N	5/32	H 0 4 N	5C024
	5/335		Z

審査請求 未請求 請求項の数 22 O L

(全 12 頁)

(21) 出願番号 特願平10-356268

(22) 出願日 平成10年12月15日(1998.12.15)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 橋本 誠二

東京都大田区下丸子3丁目30番2号

キヤノ

ン株式会社内

(74) 代理人 100065385

弁理士 山下 積平

Fターム(参考) 5C024 AA01 AA11 CA05 CA11 CA12

FA01 FA13 HA23 JA09 JA21

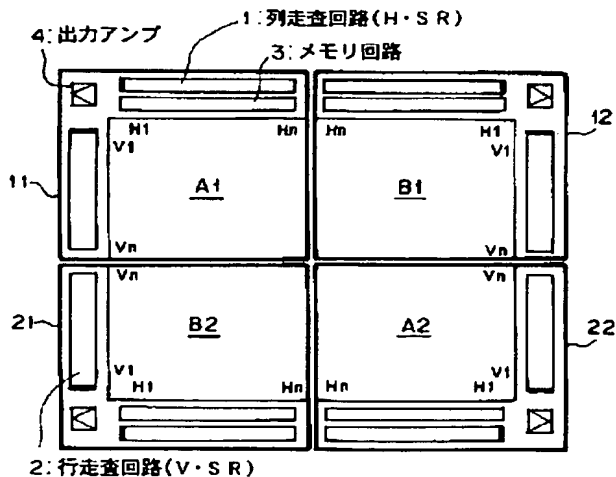
JA31 JA32

(54) 【発明の名称】 撮像装置、撮像装置の駆動方法、画像処理方法、情報記録媒体、及び画像処理システム

(57) 【要約】

【課題】 優れた性能の動画撮像装置を得る。

【解決手段】 配列された複数の画素からなる撮像領域を複数有し、複数の撮像領域の第一配列方向に、第一配列方向と異なる第二配列方向に画素が配された画素列の信号読み出し走査を行う走査手段を有する撮像装置であって、走査手段11、21による走査方向の向きを、第一配列方向に隣接する撮像領域A1、B2間で互いに反対となるようにした。



A1, A2, B1, B2: 撮像領域

【特許請求の範囲】

【請求項 1】 配列された複数の画素からなる撮像領域を複数有し、

複数の該撮像領域の第一配列方向に、該第一配列方向と異なる第二配列方向に画素が配列された画素列の信号読み出し走査を行う走査手段を有する撮像装置であって、前記走査手段による走査方向の向きを、前記第一配列方向に隣接する撮像領域間で互いに反対となるようにした撮像装置。

【請求項 2】 複数の画素が配列された撮像センサー基板を複数有した撮像装置であって、複数の前記撮像センサー基板の内、少なくとも四隅にある前記撮像センサー基板は前記複数の画素を走査する走査手段を有し、四隅にある前記撮像センサー基板の内、少なくとも 1 組の対角の位置の前記撮像センサー基板はお互いに同一形態であることを特徴とする撮像装置。

【請求項 3】 複数の画素を有する撮像領域を複数有し、走査手段によって前記複数の撮像領域から画素信号を読み出す撮像装置であって、前記走査手段は、画像を形成した場合に隣接する撮像領域間の隣接する画素の蓄積タイミングが同じになるように走査することを特徴とする撮像装置。

【請求項 4】 請求項 1 又は請求項 3 に記載の撮像装置において、前記走査手段による走査は、隣接する撮像領域の各走査方向の同番号の画素列の各画素の蓄積タイミングが同じになるように走査されてなる撮像装置。

【請求項 5】 請求項 1、3 又は 4 のいずれかに記載の撮像装置において、各撮像領域はそれぞれ撮像センサー基板に設けられ、前記複数の撮像領域の配列は該撮像センサー基板を貼り合わせるることによって構成されてなる撮像装置。

【請求項 6】 請求項 2 又は請求項 5 に記載の撮像装置において、少なくとも貼り合わせた撮像センサー基板のうち前記第二配列方向の外側に配された撮像センサー基板は、前記走査手段を有し、該走査手段は双方向の向きに走査可能である撮像装置。

【請求項 7】 請求項 2 又は請求項 5 に記載の撮像装置において、少なくとも貼り合わせた撮像センサー基板のうち周辺側に配された撮像センサー基板は、第一走査手段となる前記走査手段又は／及び第一配列方向の画素列から信号の読み出し走査を行う第二走査手段を有し、該第一又は／及び該第二走査手段は双方向の向きに走査可能である撮像装置。

【請求項 8】 請求項 5 に記載の撮像装置において、貼り合わせた複数の撮像センサー基板のうち周辺側に配置され且つ対角をなす二つの撮像センサー基板を同一形態とした撮像装置。

【請求項 9】 請求項 1、3、5、又は 8 のいずれかに記載の撮像装置において、複数の撮像領域を共通の駆動

パルスで制御してなる撮像装置。

【請求項 10】 撮像する被写体を複数に分割して、対応する複数の撮像領域で撮像を行い、前記撮像領域は配列された複数の画素からなる撮像装置であって、各撮像領域からの信号読み出しを行う走査手段を前記撮像領域ごとに有し、前記被写体の隣接する分割画像が撮像される撮像領域間で、前記被写体の分割線を挟んで該走査手段による走査方向の向きが反対になるようにした撮像装置。

10 【請求項 11】 撮像する被写体を複数に分割して、対応する複数の撮像領域で撮像を行い、前記撮像領域は配列された複数の画素からなる撮像装置であって、各撮像領域からの信号読み出しを行う走査手段を前記撮像領域ごとに有し、前記走査手段は前記被写体の隣接する分割画像間に対応する撮像領域間の画素の蓄積タイミングが同じになるように走査する撮像装置。

20 【請求項 12】 配列された複数の画素からなる撮像領域を複数有した撮像装置の駆動方法において、複数の該撮像領域の第一配列方向に、該第一配列方向と異なる第二配列方向に画素が配された画素列の信号読み出し走査を行うとともに、前記第一配列方向に隣接する撮像領域間で、該走査の方向の向きが互いに反対になるようにした撮像装置の駆動方法。

【請求項 13】 複数の画素を有する撮像領域を複数有し、前記複数の撮像領域から画像信号を読み出す撮像装置の駆動方法において、画像を形成した場合に隣接する撮像領域間の隣接する画素の蓄積タイミングが同じになるようにそれぞれの撮像領域から信号を読み出すようにした撮像装置の駆動方法。

30 【請求項 14】 請求項 12 に記載の撮像装置の駆動方法において、前記走査は、隣接する撮像領域の各走査方向の同番号の画素列の各画素の蓄積タイミングが同じになるように走査されてなる撮像装置の駆動方法。

【請求項 15】 請求項 12、13 又は 14 のいずれかに記載の撮像装置の駆動方法において、各撮像領域はそれぞれ撮像センサー基板に設けられ、前記撮像領域の配列は該撮像センサー基板を貼り合わせるることによって構成されてなる撮像装置の駆動方法。

40 【請求項 16】 請求項 15 に記載の撮像装置の駆動方法において、貼り合わせた複数の撮像センサー基板のうち周辺側に配置され且つ対角をなす二つの撮像センサー基板を同一形態とした撮像装置の駆動方法。

【請求項 17】 請求項 12 又は請求項 13 に記載の撮像装置の駆動方法において、複数の撮像領域を共通の駆動パルスで制御してなる撮像装置の駆動方法。

50 【請求項 18】 撮像する被写体を複数に分割して、対応する複数の撮像領域で撮像を行い、前記撮像領域は配列された複数の画素からなり、各撮像領域からの信号読

み出し走査を行う撮像装置の駆動方法であって、前記被写体の隣接する分割画像が撮像される撮像領域間で、前記被写体の分割線を挟んで信号読み出し走査方向の向きが反対になるようにした撮像装置の駆動方法。

【請求項19】 撮像する被写体を複数に分割して、対応する複数の撮像領域で撮像を行い、前記撮像領域は配列された複数の画素からなり、各撮像領域からの信号読み出し走査を行う撮像装置の駆動方法であって、前記被写体の隣接する分割画像間に対応する撮像領域間の画素の蓄積タイミングが同じになるように走査する撮像装置の駆動方法。

【請求項20】 入力された撮像情報に基づいて請求項1～11のいずれかに記載の撮像装置の走査方向を含む撮像条件を設定し、撮像装置から読み出された信号を情報記録部に記録し、該信号を画像処理する画像処理方法。

【請求項21】 入力された撮像情報に基づいて請求項1～11のいずれかに記載の撮像装置の走査方向を含む撮像条件を設定し、撮像装置から読み出された信号を情報記録部に記録し、該信号を画像処理するプログラムを記録した情報記録媒体。

【請求項22】 請求項1～11のいずれかに記載の撮像装置と、該撮像装置からの信号を画像処理する画像処理手段と、該画像処理手段からの信号を記録するための記録手段と、該画像処理手段からの信号を表示する表示手段と、該画像処理手段からの信号を電送するための電送手段と、有する画像処理システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は撮像装置、撮像装置の駆動方法、画像処理方法、情報記録媒体、及び画像処理システムに係わり、たとえばデジタルカメラシステム、デジタル複写機あるいはデジタルX線撮像装置の画像読取りを行うシステムに好適に用いられる、撮像装置、撮像装置の駆動方法、画像処理方法、情報記録媒体、及び画像処理システムに関する。

【0002】

【従来の技術】 従来、画像読み取り系としては、ラインセンサーとして、CCDを用いた縮小光学型センサー、画素に光電変換領域に蓄積された電荷を増幅するアンプを有するセンサー、あるいはa-si（アモルファスシリコン）を用いた等倍型CISセンサー等が使われている。また画素が二次元状に配置されたエリアセンサーは、主にビデオカメラやデジタルスチルカメラに高感度特性を有するCCDが使われている。また高感度センサーとしてCCD型と同等な高感度特性を有するCMOSセンサーが注目されている。

【0003】 一方、入射するX線をシンチレータにより光に変換し、さらにセンサーでかかる光を検知するX線撮像装置が医療分野、無破壊検査分野等で研究開発され

ている。例えば、医療分野では歯科用に小型CCDが実用化されており、また、胸部撮影など数十cm以上の大型X線撮像装置としては、近年a-Siやpin型フォト・ダイオードなどが研究開発されている。a-Siを改良した例としては、特開平8-116004号公報に開示されている。この撮像装置は大型で安価な静止画像を得ることができる。

【0004】

【発明が解決しようとする課題】 ところで、撮像装置、特に医療分野に用いられるX線撮像センサーに用いられる撮像装置として、静止画像撮像装置の次世代の動画撮像装置が期待されている。

【0005】 ここでの技術的課題としては、①高感度、高速読取り技術、②大型化、③低コスト化、などがある。

【0006】 上記高感度、高速読取りの課題に関しては、動画を撮像するには現状a-Siやpin型に比較して、10倍以上の高感度性と読取り速度が求められる。動画を撮像するにはX線を連続的に人間に照射することになるが、X線照射による影響を考慮するとX線の照射量を数分の1に、また数十フレーム/秒の読取りを行うには数分の1の露光時間に対応する感度と数倍の高速性が求められる。この点、a-Siやpin型フォトダイオードではこの要求の実現は困難である。

【0007】 また、CCDについては、確かに完全空之型のCCDは高感度であるが、チップサイズが大きくなる程不向きになる。CCDは電荷転送型であるが故に、転送段数（高画素）になる程、転送が問題になる。即ち、駆動電圧が駆動端と中心付近では異なり完全転送が困難になる。また消費電力は CV^2f で表されるが、大面積である程、CとVが大きくなり、このことは周辺の駆動回路が発熱源、ノイズ源となり高S/Nではなくなる。この様にCCDは大型センサーには適さない面もっている。

【0008】 a-Siやpin型は大型センサーの製造プロセスはCCDやCMOSセンサーに比較し有利である。しかし光電変換部が完全空之型でなく、また出力線の寄生容量に依存するKTCノイズが有り低感度である。またセンサーの駆動回路とアンプが外部に必要であり（特開平8-116004号公報の図52）、これはセンサーの良品判定も、周辺部品を組込後行う必要があり、センサーそのものは割と低価格であるが、最終的コストは高くなっていた。

【0009】

【課題を解決するための手段】 本発明の撮像装置は、配列された複数の画素からなる撮像領域が複数配列され、複数の該撮像領域の第一配列方向に、該第一配列方向と異なる第二配列方向に画素が配された画素列（図1では画素行に対応する）の信号読み出し走査を、該画素列ごとに行う走査手段を、該複数の撮像領域の側部に有する

撮像装置であって、前記走査手段による走査方向の向きを、前記第一配列方向に隣接する撮像領域間で互いに反対となるようにした撮像装置である。

【0010】また本発明の撮像装置の駆動方法は、配列された複数の画素からなる撮像領域が複数配列された撮像装置の駆動方法において、複数の該撮像領域の第一配列方向に、該第一配列方向と異なる第二配列方向に画素が配された画素列の信号読み出し走査を行うとともに、前記第一配列方向に隣接する撮像領域間で、該走査の方向の向きが互いに反対になるようにした撮像装置の駆動方法である。

【0011】また本発明の画像処理方法、情報記録媒体、画像処理システムは本発明の撮像装置を用いたものである。

【0012】

【実施例】以下、本発明の実施例について図面を用いて詳細に説明する。

【0013】図1は撮像センサーを4枚貼合せた撮像装置の概略構成図、図2は図1の撮像装置の走査方法の説明図、図3は図1の撮像装置の撮像領域の一画素部及びその信号読み出し回路の構成を示す図である。なお、本発明は撮像領域をそれぞれ有する複数の撮像センサー基板を貼り合わせた撮像装置に限定されず、一枚の半導体基板に複数の撮像領域、走査回路等を形成した撮像装置にも適用できる。また、本発明は撮像センサーを4枚貼り合わせる場合に限定されず、行方向の走査を伴う2枚以上の貼り合わせ撮像装置（又は行方向の走査を伴う2つ以上の撮像領域を有する撮像装置）であれば適用可能である。さらに、本発明の撮像装置の画素構成は、後述するCMOSセンサーに特に限定されるものではない。なお、上述した「第一配列方向」は図1の行走査回路の走査方向、「第二配列方向」は列走査回路の走査方向と同じである。

【0014】図1において、11と22、12と21は同一形態の撮像センサーであり、同一基板上に撮像センサー11と22、撮像センサー12と21が対角をなすように貼り合わせられる。4枚の撮像センサー11、12、21、22は、走査回路と出力回路（メモリ回路など）が外側（周辺側）になるように貼り合せてある。A1、A2、B1、B2は撮像センサー11、22、12、21の撮像領域を示している。

【0015】撮像センサー11を例に取って、撮像センサーの構成を説明する。

【0016】撮像センサー11の撮像領域A1は、後述する図3の画素部100が水平及び垂直方向に複数配置されることで構成される。画素部100のピッチはアプリケーションで異なるが、X線による人間の胸部撮像装置に適用する場合は、撮像領域A1は約15cm角程度、解像度は50 μ m～100 μ mが求められる。本実施例では画素部のピッチが50 μ mピッチの場合を説明

する。

【0017】50 μ mピッチの画素を画素部100に示すようなCMOSセンサーで構成することは比較的容易である。すなわち、CMOSセンサーは5 μ mから10 μ mピッチのものが開発され、生産されている。

【0018】本実施例は画素サイズが大きいので1対1光学系の半導体装置MPA（MirrorProjection Aligner）を使っても問題を生じない。

【0019】15cm強の撮像センサーは8インチウエハで製造可能であり、もっと撮像領域が大きい20cm大のものでも、今後の半導体で主流になると思われる12インチウエハで充分製造可能である。撮像センサーの画素数は撮像領域15cm角、画素ピッチ75 μ mで2000×2000=4,000,000、400万画素となる。

【0020】撮像領域A1の一辺には行走査回路（V-SR）2が設けられ、この行走査回路2により垂直方向の画素行の選択を行う。さらに撮像領域A1の他辺には行走査回路2で駆動された画素行の信号を一時的に保持するメモリ回路3と、画素のアンプを能動状態に制御するトランジスタ回路（不図示）、垂直信号線の残留信号をリセットするリセット回路（不図示）、メモリ回路3からの信号の読出しを制御する列走査回路（H-SR）1が設けられている。

【0021】撮像領域A1が走査回路1、2と接する面の所定の画素（例えば数十画素）は、黒信号クランプのための遮光がなされている。

【0022】メモリ回路3の出力は出力アンプ4に接続されており、ここで信号の増幅とインピーダンスの変換がなされる。本実施例の撮像センサーは、画素部がフォトダイオードとCMOSアンプ、メモリ回路は容量、走査回路はCMOSTランジスタ、出力アンプもCMOSTランジスタから形成される。

【0023】上述の様にフォトダイオード以外はCMOS構成であるので、画素部にアンプ、A/D変換回路、SRAM等を内蔵可能である。列走査回路1は図2で説明する駆動方法のため、双方向駆動が可能な回路構成がなされている。ただし、後述するように列走査回路の走査方向は特に限定しなくてもよい。双方向駆動が可能な回路でなくともよい。

【0024】次に上記撮像装置に好適に用いられる走査方法の一例について図2を用いて説明する。本走査方法は動画撮像に好適に用いることができるが、静止画にも用いることができることはもちろんである。

【0025】複数の撮像センサーを貼り合わせた撮像装置で、動く被写体を撮像すると撮像センサー間の動画像の“つなぎ”が重要になる。本実施例の4枚の画像合成を例にとって説明する。図4に示すような走査方向で、4枚の撮像センサーを別々に独立に駆動すると、4枚の画面のつなぎ部（撮像領域A1とB2の接続部、撮像領

域B1とA2の接続部、撮像領域A1とB1の接続部、撮像領域B2とA2の接続部)で画像の相関性がなくなる。例えば、撮像領域A1とB2の接続部近傍の隣接する、撮像領域A1の画素行(走査の終了となる画素行)と撮像領域B2の画素行(走査の開始となる画素行)とでは行方向の走査期間分の時間的なずれを生ずるので画像の相関性がなくなることになる。

【0026】テレビ画像の場合は画素数が少ないので貼合せは必要性に乏しく、必要であればフレーム周波数を60Hzから600Hzにすることも可能である。しかし、本実施例の撮像装置は4×400万画素であるので、4枚の撮像装置を同様に連続で走査させることは超高速駆動になり実現が困難である。例えば、1600万画素を30フレーム/秒で読むとすると、その周波数は $1600 \times 10^6 \times 30 = 0.48 \times 10^9$ となり約480MHzとなる。15cm角×4の大画面でなくても連続で走査させることが実現困難であることが分かる。本発明では30フレーム/秒を可能とするため、(1)、4枚の撮像センサーをパラレル駆動することで、周波数を×1/4とする、(2)、1枚の撮像センサーを8線出力として、周波数を×1/8とする、ことにより、駆動周波数を1/32の約15MHzに低下させた(実際は画素のリセット時間、画素からの信号転送などで約20MHzになる)。

【0027】そして、上記画像の相関性の課題について、本実施例では、隣接する撮像センサーについて、行走査回路の走査方向を図4のような同方向でなく、図2に示すように互いに反対方向となるようにした。図2に示されるように、隣接する撮像センサー間で互いに反対方向になるように行走査回路の走査がされれば、撮像センサーの貼り合わせ辺から遠ざかるような走査(図2中①の走査方向)でも、近づくような走査(図2中②の走査方向)でもよい。

【0028】なお、本実施例の撮像装置は4枚の撮像センサーをパラレル駆動するので、その時、動画の“つなぎ”が懸念されるのは、基本的には、画像が接続される、撮像領域A1とB1、撮像領域A1とB2、撮像領域B2とA2、撮像領域B1とA2の部分である。しかし、図2に示されるように、本実施例では行走査回路の走査方向のみを逆方向とした。これは以下に説明するように、撮像領域A1とB1、撮像領域B2とA2の部分にくらべて、撮像領域A1とB2、撮像領域B1とA2の部分がより重要だからである。

【0029】図4に示すように、撮像領域A1及び撮像領域B1を行走査回路のV1からVn、撮像領域B2及び撮像領域A2を行走査回路のVnからV1に並列的に行走査させると、撮像領域A1とB2の接続部及び撮像領域B1とA2の接続部で、1V期間の露光時間のずれが発生する。本実施例では、図2に示すように、撮像領域A1とB2、撮像領域B1とA2のように空間的に近

い撮像領域の画素ずれがなくなる、あるいはより小さくなる様にそれぞれの撮像センサーで行走査をVnからV1へパラレル駆動(図2の①)、あるいはV1からVnへパラレル駆動(図2の②)を行う。このことにより撮像領域A1とB2、撮像領域B1とA2のつなぎでの画像ずれをなくす又はより小さくすることができる。

【0030】行走査のタイミングの説明図を図5に示す。図5において、 f_v は30Hz、 f_{sc} は約2000行あるため約16.7μsとなる。 f_{sc} の期間内に1行の画素信号の転送と出力がなされる。撮像領域A1とB2、撮像領域B1とA2の接続部から走査方向について同タイミングで行われていけば、走査方向の同番号の画素行の画素の蓄積タイミングは、画素信号の転送・出力が同期間に行われるので同じになる。

【0031】次に、列走査について説明する。行走査と同様に、動画の“つなぎ”の問題は撮像領域A1とB1、撮像領域B2とA2のつなぎ部分でも存在する。しかし、この走査方向での露光時刻ずれは、最大(Max)16.7μsであり、この時間ずれは実質的に問題ないので、列走査と同様に逆方向の走査を行わなくてもよい。従って、本質的にはH1あるいはHnのどちらから走査しても良い。

【0032】本実施例ではメモリを同様にアクセスするのを目的として、撮像領域A1(又は撮像領域B2)はH1からHnへ、撮像領域B1(又は撮像領域A2)はHnからH1へと走査させる。このため、列走査回路については双方向シフトレジスタで構成した。

【0033】図3に撮像センサーの概略構成図を示す。図3において、H-SRは列走査回路、V-SRは行走査回路、ブロック100は単位画素を示す。CTS、CTNは画素信号と画素ノイズの一時的保持メモリ用の容量であり、このメモリからの出力が後段の差動アンプで画素信号から画素ノイズが除去されてSN比の良い信号(図省略)が出力される。

【0034】単位画素100において、10はフォトダイオード、20はフォトダイオード10から光電変換された信号を画素アンプのフローティングデフュージョン部(FD部)へ転送する転送スイッチ、30は画素アンプのFD部をリセット電位にリセットするリセットスイッチ、40は画素アンプ、50は画素アンプ40に接続される画素(行単位)選択スイッチである。垂直信号線Vsには画素アンプ40の負荷があり(図中省略)、70は垂直信号線Vsの残留電荷クリア用のクリアスイッチである。

【0035】図6は列走査のタイミング図である。図6において、T1はメモリの残留電荷リセット期間、T2は画素ノイズ転送期間、T3は画素信号転送期間、T4は画素信号とノイズの出力期間である。

【0036】期間T1において、信号φHC、φTS、φTNがハイレベルとなり、クリアスイッチ70及び垂直信号

10

20

30

40

50

線と容量CTS、CTNとの間のスイッチがオンされ、垂直信号線60、容量CTS、CTNがリセットされる。

【0037】次に期間T2において、信号φc、φo、φTNがハイレベルとなり、リセットスイッチ30がオンしてFD部がリセットされ、リセット後のノイズ信号が容量CTNに転送される。

【0038】次に期間T3において、信号φs、φo、φTSがハイレベルとなり、フォトダイオード10からの画素信号が、容量CTSに転送される。

【0039】次に期間T4において、列走査回路H-SRに入力される信号H1、H2により列走査回路H-SRが順次走査され画素信号とノイズ信号とが同時に各出力線に転送される。

【0040】なお、既に説明したように、本発明は撮像センサーを4枚貼り合わせる場合に限定されない。図13に撮像センサーを16枚貼り合わせた場合を示す。なお、撮像センサー21と31、22と32、23と33、24と34を除き、各撮像センサー間は電氣的に接続され、貼り合わせた各撮像領域の画素の列走査、行走査が行われる。この配列では撮像センサー11と44、14と41、21と34、24と31、22、23、32、33が同一形態で形成でき、更に列走査回路に双方向シフトレジスタを用いれば、撮像センサー12、13、42、43も同一形態で形成することができる。

【0041】図7はメモリ信号の分割パラレル転送の実施例である。なお、本実施例では転送周波数を下げるために8線出力を行うと説明したが、ここでは説明の簡略化のために4線出力の場合の構成を示している。8線出力の場合は、メモリ以降の出力線を8線にして接続し、出力アンプを増すことによって達成できる。図7に示すように、各容量CTS、CTNに蓄積された、メモリの信号とノイズは、画素4列毎に列走査回路のパルス(φh1、φh2、・・・、φhn)により、それぞれノイズ出力線と信号出力線に転送され、ノイズ出力線と信号出力線とに接続される減算出力アンプで、(信号-ノイズ)の減算処理が行われて、ノイズ成分が除去された信号が出力される(S1~S4)。

【0042】なお、隣接する撮像センサーの読み出し走査方向の向きを、隣接する撮像センサーで反対にするには、4枚の撮像センサーを貼り合わせた撮像装置においては、図1及び図2に示すように、対角に配置された撮像センサーを同一形態とすることが望ましい。

【0043】すなわち、図1に示すように、撮像センサー11と22、撮像センサー12と21を同一形態とすれば、撮像センサー11と22、撮像センサー12と21を同一マスクで製造できる。2種類の撮像センサーで撮像装置を構成したことで、マスク管理、テスト、半導体製造管理、在庫管理、貼合せ装置等が楽になり不良品の低下とコストを下げる事が可能となる。また、撮像センサー11、22と撮像センサー12、21との製造

工程で用いるマスクはミラー反転で対応可能であり設計負担が軽減される。

【0044】さらに4枚の撮像センサーは、共通の駆動パルスで駆動できるので周辺の駆動パルス発生回路も容易になる。また、共通駆動により図10の実装構成で述べるが、撮像センサー駆動回路の共通化もでき、従って実装的にも優れていることが分かる。

【0045】比較のために、図8に上下(左右)のセンサーを同一形態にした概念図を示す。図8において、撮像センサー11の行走査は図8の下から上へ、撮像センサー21は図8の右から左へ走査される。このような行走査時の露光時刻の変化を比較すると、撮像センサー11と撮像センサー21で露光時刻が一致するのは、撮像センサーの対角に位置する画素aだけである。撮像センサー11の画素bと撮像センサー21の画素dでは1フィールド期間の露光タイミングのずれが発生する。しかし、図1及び図2の様に対角の撮像センサーを同一形態、言い換えれば、行走査回路をミラー反転した構成のセンサーとの組み合わせ、とすることで、貼り合わせ面の近傍に位置する撮像センサーの露光時刻を一致させることができる。従って、動画撮影時において画像の不自然さは発生しない。

【0046】図9は撮像装置の全体構成の一実施例の構成を示す図である。被写体(例えば人間の胸部)101は光源(X線)100からの放射線により撮像される。センサーユニット102は図2の撮像センサーと放射線を可視光に変換する蛍光体とX線遮蔽部材及び周辺駆動回路から構成されている。

【0047】センサーユニット102からの、4×8系統の信号(4つの撮像センサーから8出力線により出力される信号)はA/D変換器103でアナログからデジタル信号に変換される。センサー駆動部109はセンサーユニット102に隣接して実装されている。

【0048】A/D変換された信号は画像処理回路105とメモリ104により4枚の画像信号の合成や、画素欠陥ノイズの補正等が行なわれる。その処理信号は記録部107にメモリしたり、あるいは表示部(モニタ)106に表示されたり、必要に応じてプリントされる。これらの回路や各装置はコントローラ108で全体制御がなされる。

【0049】図10は本発明の撮像装置の実装例の模式的構成図である。図10において、A1、B1、B2、A2は図1及び図2で述べた撮像領域であり、それぞれの撮像領域を有する4枚の撮像センサーが実装基板上に貼り合わされる。実装基板はガラスあるいはファイバプレートなどである。実装基板上にはセンサーの駆動パルス、電源、信号、GND端子への接続用配線が形成されている。配線パターンは透明部材(例えばITO)あるいはA1部材等である。A1部材の場合は画素の受光部をさけるようにパターン配線がなされる。

【0050】各撮像センサーの行駆動は図示したVフレキシブル基板から電源V_{CC}、駆動パルスφV_s、φV₁、φV₂、GNDが供給される。

【0051】又、列駆動は図示したHフレキシブル基板から電源V_{CC}、駆動パルスφH_s、φH₁、φH₂、φF／φRが供給される。

【0052】本撮像センサの行及び列駆動系は貼り合わせ辺の近傍に設けている。そのため図に示すように隣接する撮像センサの駆動系は共通のフレキシブル基板とバッファICに接続が容易である。このため外部入力を少なくできる。

【0053】本実施例の撮像センサーの信号出力はフレキシブル基板Sに導かれる。出力信号S₁、S₂、S₃、S₄はGND線の間に配線される。また出力アンプの電源V_{CC}、出力信号線リセットパルスもフレキシブル基板Sより供給される。フレキシブル基板S上のバッファアンプは実装基板上に設けてもよい。バッファアンプはA／D変換器であってもよい。ここでアナログ・デジタル変換されればノイズの飛び込みが少なくS／Nがよくなる。

【0054】本実施例はフェースダウン実装を行えば4枚の撮像センサーの貼り合わせ実装と配線接続が同一基板上で行うことができるのでコストダウンが可能で、各撮像センサの面段差が小さくできるメリットがある。

【0055】図11に装置の立ち上げ設定からデータの取込み、データの処理、表示の概略フローを示す。電源の立ち上げ後、撮影が開始される(S1)。開始時にはパソコンの入力装置(キーボード等)等にX線の光量、撮影周期(フレーム周期)や撮影条件が入力され、走査の選択が設定される(S2)。特に動画の場合には上述したような走査方向を設定する。被写体情報がセンサへ蓄積され、信号の読み出しが順次行われる(S3)。各撮像センサから読み出された信号は一時蓄積メモリへ記憶される(S4)。

【0056】一時蓄積メモリに記憶されたメモリ信号は各センサ信号を一枚の画像として合成するための画像処理(γ処理、補間処理など)が為される(S5)。その出力は大型の画像メモリに記憶され(S6)、メモリ出力はモニタなどに表示される(S7)。撮影が終わるとともに終了となる(S8)。撮像装置に取り込まれたデータはパソコン等に転送され、そこで被写体を分析するためのソフト処理等を行う。

【0057】上記の画像処理方法はパソコン等のコンピュータに記憶されたプログラムに基づいて行うことができる。また、本発明はかかるプログラムを記録したCDROM等の情報記録媒体も含まれる。そして、CDROM等に記録したプログラムを読み込むことで本発明にかかる画像処理方法を実行することができる。

【0058】図12は本発明による撮像装置を用いた画像処理システム(X線診断システム)のさらに具体的な

例を示す模式図である。

【0059】X線チューブ6050で発生したX線6060は患者あるいは被験者6061の胸部6062を透過し、シンチレータを上部に実装した本発明に係わる撮像装置6040に入射する。この入射したX線には患者6061の体内部の情報が含まれている。X線の入射に対応してシンチレータは発光し、これを光電変換して、電気的情報を得る。この情報はデジタルに変換されイメージプロセッサ6070により画像処理され制御室のディスプレイ6080で観察できる。

【0060】また、この情報は電話回線6090等の伝送手段により遠隔地へ転送でき、別の場所のドクターームなどディスプレイ6081に表示もしくは光ディスク等の保存手段に保存することができ、遠隔地の医師が診断することも可能である。またフィルムプロセッサ6100によりフィルム6110に記録することもできる。

【0061】ここで、実施例で述べた複数の撮像領域は、1枚の半導体基板に複数の撮像領域を有するものに限定されるものではない。つまり、それぞれの撮像領域はそれぞれICパッケージに分割され、風景、人等の被写体からの信号をそれぞれのICパッケージ内の撮像領域に分割して受光し、最終的に被写体の画像が形成された場合に、隣接する撮像領域間の隣接する画素の蓄積タイミングを同じにするようにするものであってもよい。

図14(A)はその様子を説明図である。図14(A)に示すように、被写体をA、B、C、Dの4つの画像に分割して、それぞれ撮像領域を有するICパッケージ11、12、21、22に撮像されるようにする。この場合、各ICパッケージは必ずしも密着して貼り合わせる必要はない。例えば被写体からの光信号を異なる光学系で分割して各ICパッケージの撮像領域にそれぞれ入射すればよい。

【0062】また、それぞれの撮像領域は、ICパッケージ内でなくても例えばビデオカメラ等の装置で分割して被写体からの信号を受光してもよい。この様子を図14(B)に示す。図14(B)に示すように、被写体をA、B、C、Dの4つの画像に分割して、それぞれビデオカメラ31～34に撮像されるようにする。そして例えばビデオカメラ31と33内の撮像領域の画素列の走査方向が反対になるようにする。

【0063】なお、受光する撮像領域は被写体を分割して受光する場合に、被写体に相当するように配置されていなくても、最終的にコンピュータ等で合成処理した場合に、合成された画像が被写体の画像を構成するようにされていれば、撮像領域自体はどのような配置をとってもよい。

【0064】例えば、図14(B)の場合について図15(A)～(C)を用いて説明すると、図15(A)～(C)のどの配置をとっても、最終的に合成される画像

が被写体の画像と同じになればよい。また撮像領域の配置も列（又は行列）状配置しなくともよい。そして、図15（A）～（C）の各図の矢印が走査方向の向きを示しており、被写体の分割線を挟んで走査方向が反対になるようにすればよい。

【0065】

【発明の効果】本発明によれば以下の効果を得ることができる。

（１）．貼合せに対向する撮像領域の撮像露光時間をほぼ同時刻に出来たので、高画質な動画撮影が可能となった。

（２）．複数の撮像センサーを同種類のセンサーで構成できるので、センサーユニット製造までの工程が簡略化され、製造が容易になり低コスト化が実現出来た。

（３）．複数の撮像センサーを共通の駆動パルスで駆動出来るので周辺の駆動回路が少なくてすみ、実装も簡単で低消費電力、低ノイズ、低コストになった。

（４）．高感度センサーでX線撮像装置を構成できるのでX線照射量をかなり低減し、人体にやさしい装置になった。

【図面の簡単な説明】

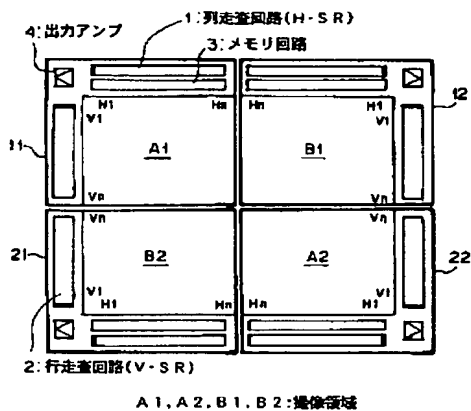
【図１】撮像センサーを４枚貼合せた場合の本発明の撮像装置の概略構成図である。

【図２】図１の撮像装置の走査方法の説明図である。

【図３】図１の撮像装置の撮像領域の画素部及びその信号読み出し回路の構成を示す図である。

【図４】貼り合わせ撮像装置において行走査回路の走査方向が同方向の場合を説明する図である。

【図１】



【図５】撮像装置の行走査を説明するタイミング図である。

【図６】撮像装置の画素信号とノイズ信号との読み出し動作を示すタイミングチャートである。

【図７】撮像装置の読み出し系を示す説明図である。

【図８】上下（左右）のセンサを同一形態にした概念図である。

【図９】撮像装置の全体構成の一実施例の構成を示す図である。

10 【図１０】本発明の撮像装置の実装例の模式的構成図である。

【図１１】装置の立ち上げ設定からデータの取込み、データの処理、表示の概略フローを示す図である。

【図１２】本発明による撮像装置を用いたX線診断システムのさらに具体的な例を示す模式図である。

【図１３】撮像センサーを１６枚貼り合わせた場合を示す説明図である。

【図１４】本発明の撮像装置の他の実施例を示す説明図である。

20 【図１５】本発明の撮像装置の他の実施例を示す説明図である。

【符号の説明】

１ 列走査回路

２ 行走査回路

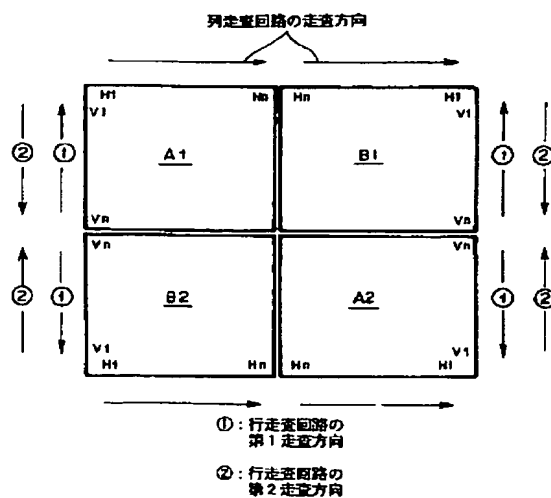
３ メモリ回路

４ 出力アンプ

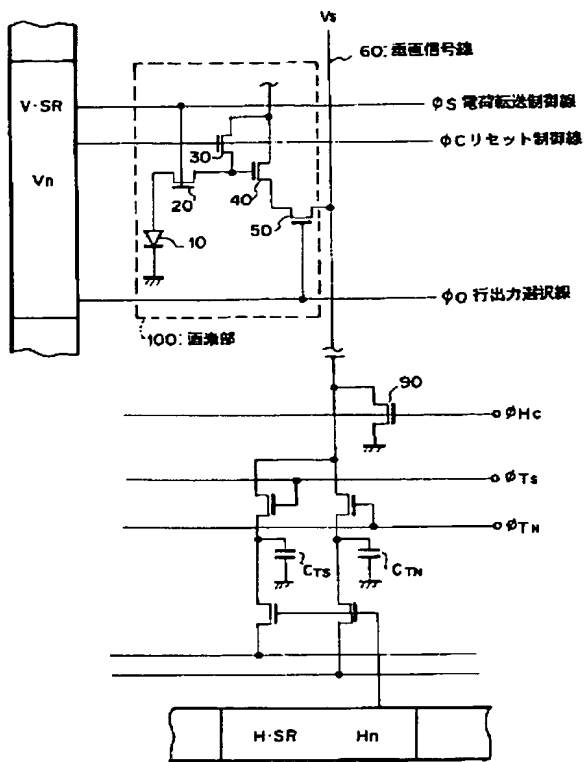
11, 22, 12, 21 撮像センサー

A1, A2, B1, B2 撮像領域

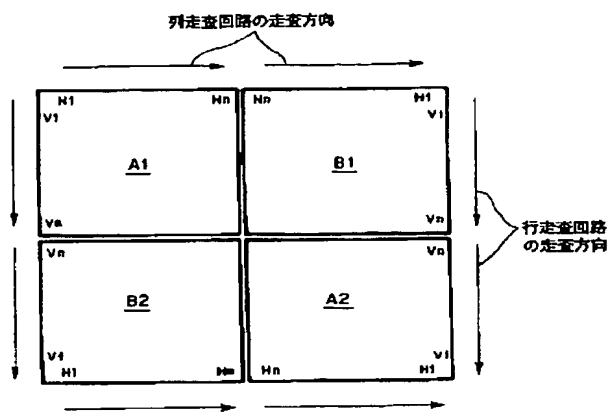
【図２】



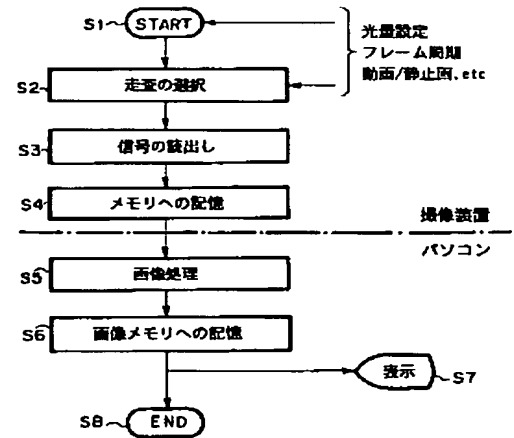
【図3】



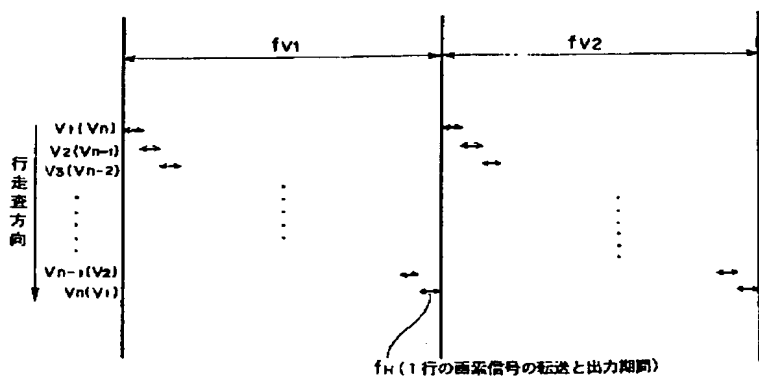
【図4】



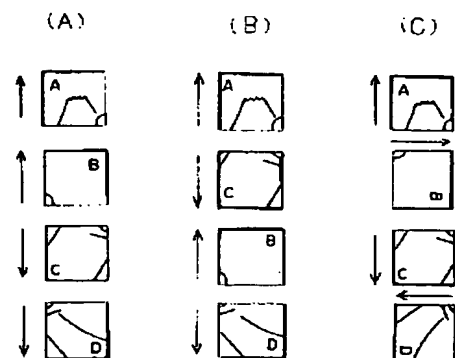
【図11】



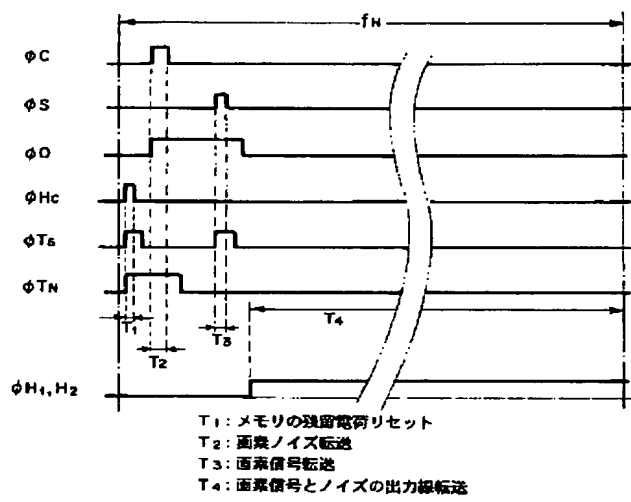
【図5】



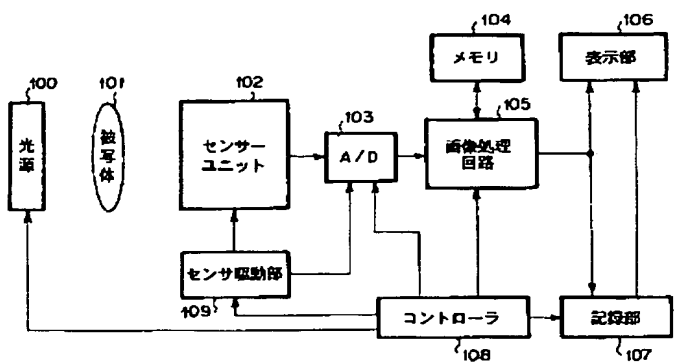
【図15】



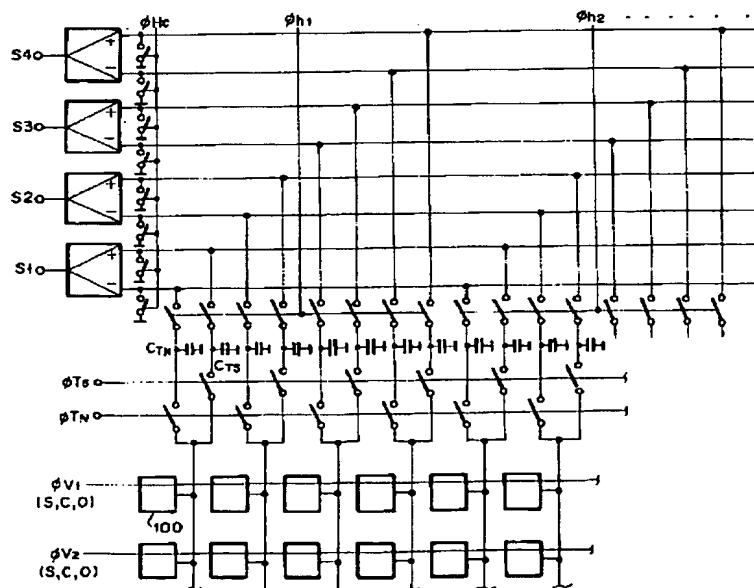
【図6】



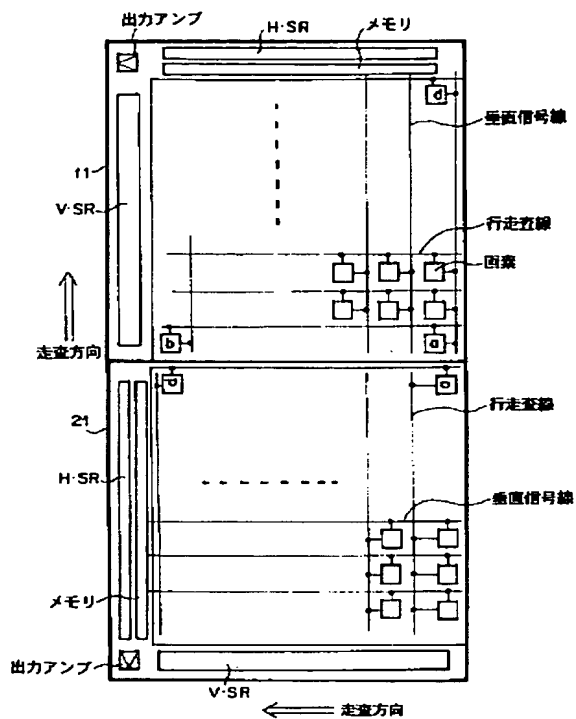
【図9】



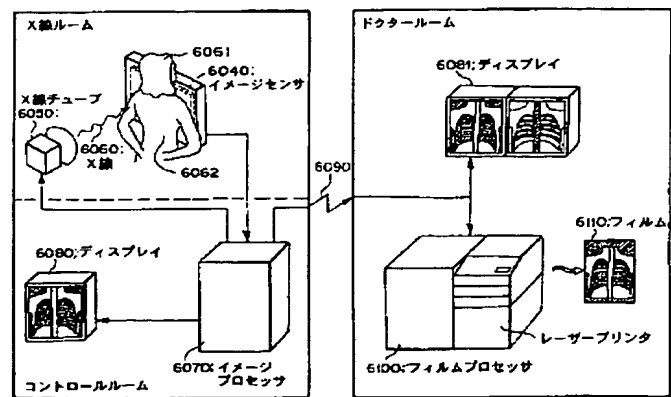
【図7】



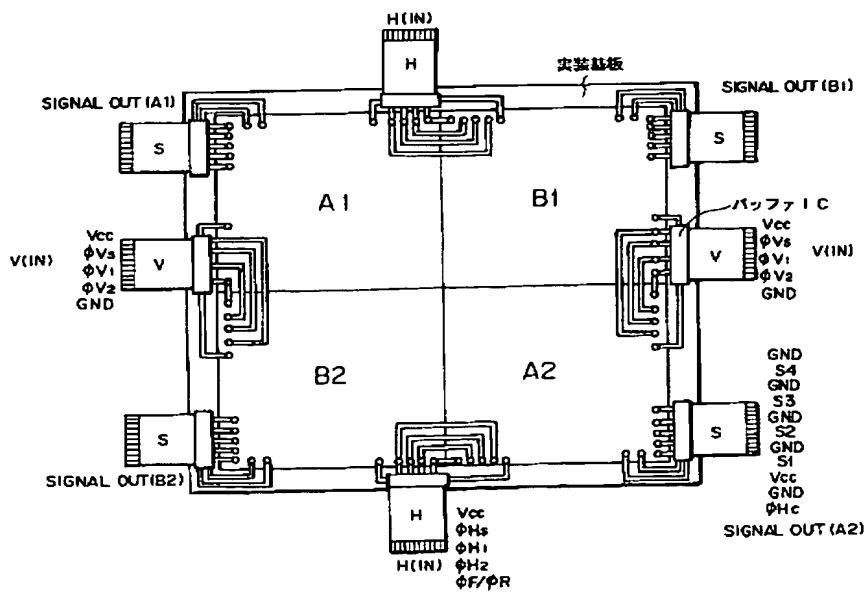
【図 8】



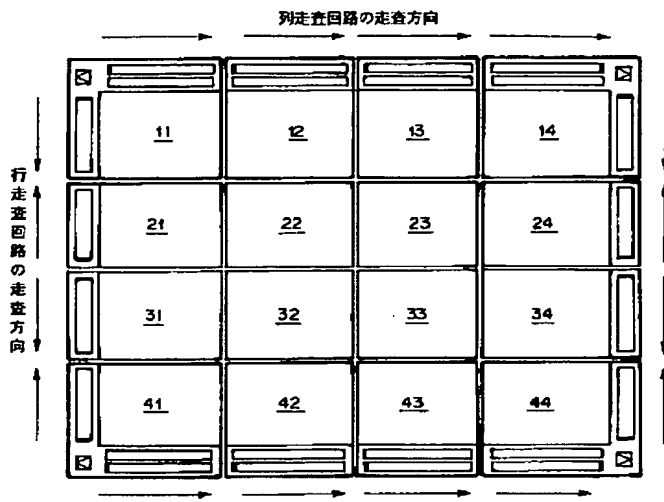
【図 12】



【図 10】

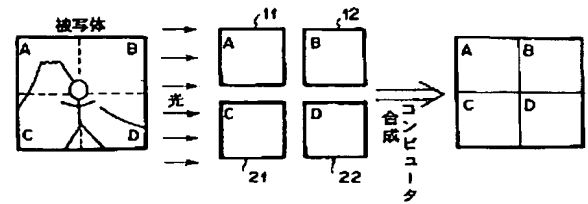


【図13】



【図14】

(A)



(B)

